

Ser. 10/511,920

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-211211

(43) Date of publication of application : 03.08.2001

(51) Int.Cl.

H04L 25/02

H03K 19/0175

(21) Application number : 2000-018928

(71) Applicant : OTSUKA KANJI
 USAMI TAMOTSU
 OKI ELECTRIC IND CO LTD
 SANYO ELECTRIC CO LTD
 SHARP CORP
 SONY CORP
 TOSHIBA CORP
 NEC CORP
 HITACHI LTD
 FUJITSU LTD
 MATSUSHITA ELECTRIC IND CO LTD
 MITSUBISHI ELECTRIC CORP
 ROHM CO LTD

(22) Date of filing : 27.01.2000

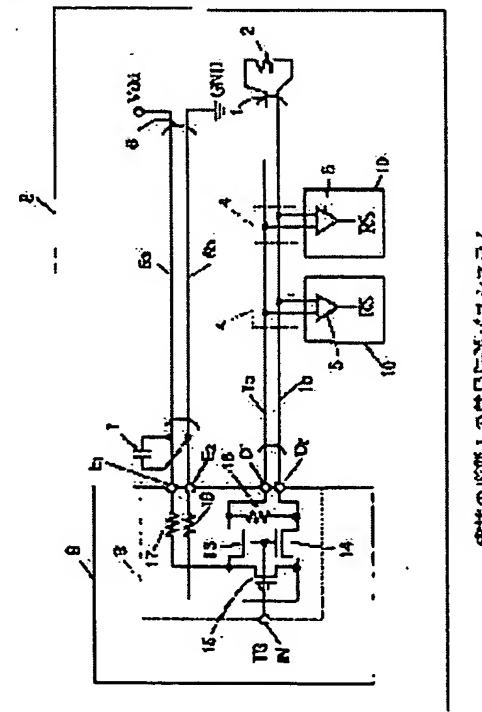
(72) Inventor : OTSUKA KANJI
 USAMI TAMOTSU

(54) DRIVER CIRCUIT, RECEIVER CIRCUIT, AND SIGNAL TRANSMISSION BUS SYSTEM

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a signal transmission bus system that attains high-speed signal transmission which has no EMI, by suppressing fluctuations of a power supply level and a ground level without relying on path control.

SOLUTION: A driver circuit 3 has driver transistors (TRs) 13, 14, that are conductive when a transmission input signal TS is at a high level, to form a current path to supply a signal complementary to a pair signal transmission line 1 and that are not conductive, when the transmission input signal TS is at a low level to stop supplying the complementary signal, and has a short circuit TR 15 that is conductive, when the transmission input signal TS is at a low level to form a current path bypassing the current path, through which the complementary signal is supplied and that is nonconductive when the transmission input signal TS is at a high level to short circuit the current path bypassing the current path, through which the complementary signal is supplied. The on-resistance value of the short circuit TR 15 is selected to be nearly equal to the sum of the ON-resistance of the driver TRs 13, 14, a DC resistance of



signal transmission lines 1a, 1b and the resistance of a termination resistor 2.

LEGAL STATUS

[Date of request for examination] 27.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3423267

[Date of registration] 25.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-211211

(P2001-211211A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.

H 04 L 25/02

識別記号

F I

マーク(参考)

H 03 K 19/0175

H 04 L 25/02

S 5 J 0 5 6

F 5 K 0 2 9

R

H 03 K 19/00

1 0 1 F

1 0 1 K

審査請求 有 請求項の数35 OL (全40頁) 最終頁に続く

(21)出願番号

特願2000-18928(P2000-18928)

(22)出願日

平成12年1月27日(2000.1.27)

(71)出願人 598042633

大塚 寛治

東京都東大和市湖畔2-1074-38

(71)出願人 598168807

宇佐美 保

東京都国分寺市西町2-38-4

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(74)代理人 100083840

弁理士 前田 実

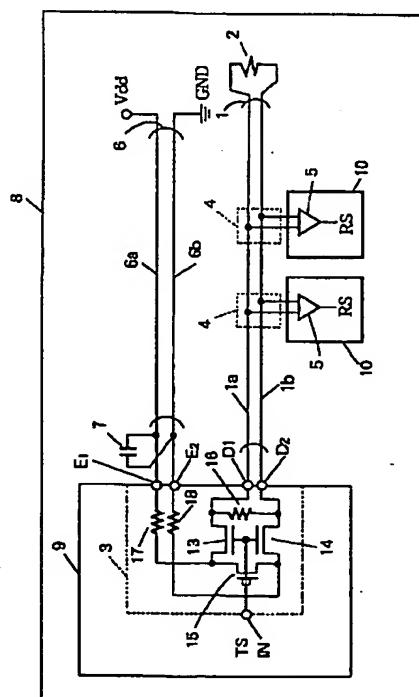
最終頁に続く

(54)【発明の名称】 ドライバ回路、レシーバ回路、および信号伝送バスシステム

(57)【要約】

【課題】 パスコンに頼らずに電源およびグランドの揺らぎを抑え、EMIのない高速な信号伝送を可能にする。

【解決手段】 ドライバ回路3は、送信入力信号TSがハイレベルのときオンしてペア信号伝送路1に相補信号を供給する電流経路を形成し、送信入力信号TSがローレベルのときオフして相補信号の供給を停止するドライバトランジスタ13, 14と、上記相補信号を供給する電流経路に並列に設けられ、送信入力信号TSがローレベルのときオンして上記相補信号を供給する電流経路をバイパスする電流経路を形成し、送信入力信号TSがハイレベルのときオフして上記バイパスする電流経路を遮断するショートトランジスタ15とを有し、ショートトランジスタ15のオン抵抗値は、ドライバトランジスタ13, 14のオン抵抗値と、信号伝送路1a, 1bの直流抵抗値と、終端抵抗2の抵抗値との合計にほぼ等しい。



【特許請求の範囲】

【請求項1】 並列等長配置された第1および第2の伝送路からなるペア伝送路に、入力信号に従って相補信号を供給するドライバ回路において、上記入力信号が第1のレベルのときは、第1の電源と第1の伝送路の間および第2の電源と第2の伝送路の間に、上記相補信号の供給のための電流経路をそれぞれ形成し、上記入力信号が第2のレベルのときは、上記電流経路を遮断するとともに、第1の電源と第2の電源の間に、上記ペア伝送路をバイパスする電流経路を形成することを特徴とするドライバ回路。

【請求項2】 請求項1記載のドライバ回路において、第1の電源と第1の伝送路の間に設けられており、上記入力信号が第1のレベルのときオンし、上記入力信号が第2のレベルのときオフする第1のトランジスタと、第2の伝送路と第2の電源との間に設けられており、上記入力信号が第1のレベルのときオンし、上記入力信号が第2のレベルのときオフする第2のトランジスタと、第1のトランジスタの第1の電源側の端子と第2のトランジスタの第2の電源側端子側の端子の間に設けられ、上記入力信号が第1のレベルのときオフし、上記入力信号が第2のレベルのときオンする第3のトランジスタとを備えたことを特徴とするドライバ回路。

【請求項3】 請求項2記載のドライバ回路において、第3のトランジスタのオン抵抗値は、第1のトランジスタのオン抵抗値と、第2のトランジスタのオン抵抗値と、第1の伝送路の直流抵抗値と、第2の伝送路の直流抵抗値と、上記終端抵抗の抵抗値との合計にほぼ等しいことを特徴とするドライバ回路。

【請求項4】 請求項2記載のドライバ回路において、第1のトランジスタの第1の伝送路側端子と第2のトランジスタの第2の伝送路側端子の間に、上記ペア伝送路からの反射ノイズを吸収するためのノイズ消去抵抗をさらに備えたことを特徴とするドライバ回路。

【請求項5】 請求項4記載のドライバ回路において、上記ノイズ消去抵抗の抵抗値は、第1および第2の伝送路の特性インピーダンスのおよそ10倍の値であることを特徴とするドライバ回路。

【請求項6】 請求項4記載のドライバ回路において、第1のトランジスタと第1の電源の間および第2のトランジスタと第2の電源の間に、それぞれ上記ペア伝送路に供給する電力を調整するための第1のシリーズ抵抗および第2のシリーズ抵抗をさらに備え、

上記ノイズ消去抵抗は、第1の伝送路と第1の電源の間に設けられた第1のノイズ消去抵抗と、第2の伝送路と第2の電源の間に設けられた第2のノイズ消去抵抗により構成されており、

第1のシリーズ抵抗、第2のシリーズ抵抗、第1のノイズ消去抵抗、および第2のノイズ消去抵抗の抵抗値が、

ほぼ等しいことを特徴とするドライバ回路。

【請求項7】 並列等長配置されたペア伝送路に供給され、上記ペア伝送路上でのエネルギーを乱さないように上記ペア伝送路の途中から分岐抵抗を介して分岐された相補信号を感知するレシーバ回路において、上記分岐された相補信号が差動入力端子に入力される差動アンプと、

上記差動アンプの上記差動入力端子間を終端する終端トランジスタとを備え、

上記相補信号が上記ペア伝送に供給されているか否かを検知することを特徴とするレシーバ回路。

【請求項8】 請求項7記載のレシーバ回路において、上記終端トランジスタは、ソース電極およびドレイン電極を上記差動入力端子にそれぞれ接続し、ゲート電極を第2の電源に接続したpMOSトランジスタ、あるいは、ソース電極およびドレイン電極を上記差動入力端子にそれぞれ接続し、ゲート電極を第1の電源に接続したnMOSトランジスタであることを特徴とするレシーバ回路。

【請求項9】 並列等長配置された第1および第2の伝送路からなるペア伝送路と、上記ペア伝送路に整合し、上記ペア伝送路の一方の端部を終端する終端抵抗と、

入力信号に従って上記ペア伝送路の他方の端部から上記ペア伝送路に相補信号を供給するドライバ回路と、

上記相補信号の上記ペア伝送路上でのエネルギーを乱さないように、上記ペア伝送路の途中から上記相補信号を分岐する1個または複数個の分岐部と、

上記分岐部に対し個別に設けられ、上記分岐された相補信号を感知する1個または複数個のレシーバ回路と、

上記ペア伝送路、上記終端抵抗、上記ドライバ回路、上記分岐部、および上記レシーバ回路が実装または形成された回路基板とを備え、

上記ドライバ回路は、請求項1記載のドライバ回路であることを特徴とする信号伝送バスシステム。

【請求項10】 並列等長配置された第1および第2の伝送路からなるペア伝送路と、

上記ペア伝送路に整合し、上記ペア伝送路の一方の端部を終端する終端抵抗と、

入力信号に従って上記ペア伝送路の他方の端部から上記ペア伝送路に相補信号を供給するドライバ回路と、

上記相補信号の上記ペア伝送路上でのエネルギーを乱さないように、上記ペア伝送路の途中から上記相補信号を分岐する1個または複数個の分岐部と、

上記分岐部に対し個別に設けられ、上記分岐された相補信号を感知する1個または複数個のレシーバ回路と、

上記ペア伝送路、上記終端抵抗、上記ドライバ回路、上記分岐部、および上記レシーバ回路が実装または形成された回路基板とを備え、

上記レシーバ回路は、請求項7記載のレシーバ回路であることを特徴とする信号伝送バスシステム。

【請求項11】 請求項10記載の信号伝送バスシステムにおいて、

上記ドライバ回路は、請求項1記載のドライバ回路であることを特徴とする信号伝送バスシステム。

【請求項12】 並列等長配置された第1および第2の伝送路からなるペア伝送路と、

上記ペア伝送路に整合し、上記ペア伝送路の一方の端部を終端する終端抵抗と、

入力信号に従って上記ペア伝送路に対し相補信号を供給するドライバ回路と、上記ドライバ回路と上記ペア伝送路の間に設けられ、上記ドライバ回路からの相補信号を上記ペア伝送路の途中に供給する分岐部と、

上記ペア伝送路の他方の端部において上記相補信号を感知するレシーバ回路と、

上記ペア伝送路、上記終端抵抗、上記ドライバ回路、上記分岐部、および上記レシーバ回路が実装または形成された回路基板とを備え、

上記ドライバ回路は、請求項1記載のドライバ回路であることを特徴とする信号伝送バスシステム。

【請求項13】 並列等長配置された第1および第2の伝送路からなるペア伝送路と、

上記ペア伝送路に整合し、上記ペア伝送路の一方の端部を終端する終端抵抗と、

上記ペア伝送路の他方の端部に接続された第1の集積回路チップと、

第2の集積回路チップと、

上記ペア伝送路の途中に第2の集積回路チップを接続するための分岐部と、

上記ペア伝送路、上記終端抵抗、第1の集積回路チップ、第2の集積回路チップ、および上記分岐部が実装または形成された回路基板とを備え、

第1の集積回路チップは、

入力信号に従って上記ペア伝送路に相補信号を供給する第1のドライバ回路と、

第2の集積回路チップから上記ペア伝送路に供給された相補信号を感知する第1のレシーバ回路とを有し、

第2の集積回路チップは、

第1の集積回路チップから供給された相補信号の上記ペア伝送路上でのエネルギーを乱さないように、上記相補信号を感知する第2のレシーバ回路と、

入力信号に従って上記ペア伝送路に相補信号を供給する第2のドライバ回路とを有し、

第1のドライバ回路または／および第2のドライバ回路は、請求項1記載のドライバ回路であることを特徴とする信号伝送バスシステム。

【請求項14】 並列等長配置された第1および第2の伝送路からなるペア伝送路と、

上記ペア伝送路に整合し、上記ペア伝送路の一方の端部

を終端する終端抵抗と、

上記ペア伝送路の他方の端部に接続された第1の集積回路チップと、

第2の集積回路チップと、

上記ペア伝送路の途中に第2の集積回路チップを接続するための分岐部と、

上記ペア伝送路、上記終端抵抗、第1の集積回路チップ、第2の集積回路チップ、および上記分岐部が実装または形成された回路基板とを備え、

第1の集積回路チップは、

入力信号に従って上記ペア伝送路に相補信号を供給する第1のドライバ回路と、

第2の集積回路チップから上記ペア伝送路に供給された相補信号を感知する第1のレシーバ回路とを有し、

第2の集積回路チップは、

第1の集積回路チップから供給された相補信号の上記ペア伝送路上でのエネルギーを乱さないように、上記相補信号を感知する第2のレシーバ回路と、

入力信号に従って上記ペア伝送路に相補信号を供給する第2のドライバ回路とを有し、

第2のレシーバ回路は、請求項7記載のレシーバ回路であることを特徴とする信号伝送バスシステム。

【請求項15】 請求項14記載の信号伝送バスシステムにおいて、

第1のドライバ回路または／および第2のドライバ回路は、請求項1記載のドライバ回路であることを特徴とする信号伝送バスシステム。

【請求項16】 請求項9、11、12、13、または15に記載の信号伝送バスシステムにおいて、

30 請求項1記載のドライバ回路と第1および第2の電源の間に並列等長配置された第1および第2の電源ラインからなるペア電源ラインをさらに有することを特徴とする信号伝送バスシステム。

【請求項17】 請求項17記載の信号伝送バスシステムにおいて、

上記ペア電源ラインの間にバイパスコンデンサをさらに備えたことを特徴とする信号伝送バスシステム。

【請求項18】 請求項9、11、12、13、または15に記載の信号伝送バスシステムにおいて、

40 請求項1記載のドライバ回路と第1の電源の間、または／および請求項1記載のドライバ回路と第2の電源の間に、請求項1記載のドライバ回路に供給する電力を調整するための抵抗をさらに備えたことを特徴とする信号伝送バスシステム。

【請求項19】 請求項9ないし15のいずれかに記載の信号伝送バスシステムにおいて、

請求項1記載のドライバ回路と第1の電源の間、および請求項1記載のドライバ回路と第2の電源の間に、それぞれ請求項1記載のドライバ回路に供給する電力を調整するための第1のシリーズ抵抗および第2のシリーズ抵

抗をさらに備え、

上記終端抵抗は、上記第1の伝送路と第2の電源の間に設けられた第1の終端抵抗と、上記第2の伝送路と第2の電源の間に設けられた第2の終端抵抗により構成されており、

第1のシリーズ抵抗、第2のシリーズ抵抗、第1のノイズ消去抵抗、および第2のノイズ消去抵抗の抵抗値が、ほぼ等しいことを特徴とする信号伝送バスシステム。

【請求項20】 請求項12記載の信号伝送バスシステムにおいて、

上記レシーバ回路は、上記ペア伝送路に整合し、上記ペア伝送路の他方の端部を終端する終端抵抗を有することを特徴とする信号伝送バスシステム。

【請求項21】 請求項13ないし15のいずれかに記載の信号伝送バスシステムにおいて、

上記第1の集積回路チップは、

上記ペア伝送路の他方の端部に、上記ペア伝送路に整合する終端抵抗およびトランジスタの直列回路をさらに有し、

第1のレシーバ回路により相補信号を感知するときは、上記トランジスタをオンさせて上記他方の端部を整合端とし、第1のドライブ回路から相補信号を供給するときには、上記トランジスタをオフさせることを特徴とする信号伝送バスシステム。

【請求項22】 請求項10、11、14、または15に記載の信号伝送バスシステムにおいて、

上記終端トランジスタの遮断周波数は、60 [GHz] 以上であり、

上記終端トランジスタの抵抗値と上記レシーバ回路の入力容量による時定数が、100 [ps] 以下であること 30 を特徴とする信号伝送バスシステム。

【請求項23】 請求項9ないし11のいずれかに記載の信号伝送バスシステムにおいて、

上記分岐部は、第1の伝送路と上記差動入力端子の一方の間に設けられた第1の分岐抵抗、および第2の伝送路と上記差動入力端子の他方の間に設けられた第2の分岐抵抗からなるペア分岐抵抗を有することを特徴とする信号伝送バスシステム。

【請求項24】 請求項9ないし11のいずれかに記載の信号伝送バスシステムにおいて、

上記分岐部は、

第1の伝送路に接続する第1の分岐抵抗および第2の伝送路に接続する第2の分岐抵抗からなるペア分岐抵抗と、

上記ペア分岐抵抗と上記差動入力端子の間に並列等長配置された第1の分岐路および第2の分岐路からなるペア分岐路とを有することを特徴とする信号伝送バスシステム。

【請求項25】 請求項12記載の信号伝送バスシステムにおいて、

上記ドライバ回路および上記分岐部からなるユニットを複数個備え、

それぞれの上記分岐部は、対応するドライバ回路と上記ペア伝送路の間にバストランシーバ回路を有し、上記バストランシーバ回路は、

上記対応するドライバ回路と第1の伝送路の間に設けられた第1のトランジスタと、上記対応するドライバ回路と第2の伝送路の間に設けられた第2のトランジスタとを有し、

上記対応するドライバ回路から上記ペア伝送路に相補信号を供給するときにのみ、第1および第2のトランジスタをオンさせることを特徴とする信号伝送バスシステム。

【請求項26】 請求項12記載の信号伝送バスシステムにおいて、

上記ドライバ回路および上記分岐部からなるユニットを複数個備え、

それぞれの上記分岐部は、

上記ペア伝送路に接続するバストランシーバ回路と、

上記バストランシーバ回路と対応するドライバ回路の間に並列等長配置された第1分岐路および第2の分岐路からなるペア分岐路とを有し、

上記バストランシーバ回路は、

第1の伝送路と第1の分岐路の間に設けられた第1のトランジスタと、第2の伝送路と第2の分岐路の間に設けられた第2のトランジスタとを有し、

上記対応するドライバ回路から相補信号を供給するときにのみ、上記第1および第2のトランジスタをオンさせることを特徴とする信号伝送バスシステム。

【請求項27】 請求項13ないし15のいずれかに記載の信号伝送バスシステムにおいて、

第2の集積回路チップおよび上記分岐部からなるユニットを複数個備え、

それぞれの上記分岐部は、上記ペア伝送路および対応する第2の集積回路チップの間にバストランシーバ回路を有し、

上記バストランシーバ回路は、

第1の伝送路と第1の分岐路の間に設けられた第1の分岐抵抗と、第2の伝送路と第2の分岐路の間に設けられた第2の分岐抵抗と、第1の分岐抵抗に並列に設けられた第1のトランジスタと、第2の分岐抵抗に並列に設けられた第2のトランジスタとを有し、

対応する第2のドライバ回路から相補信号を供給するときにのみ、第1および第2のトランジスタをオンさせることを特徴とする信号伝送バスシステム。

【請求項28】 請求項13ないし15のいずれかに記載の信号伝送バスシステムにおいて、

第2の集積回路チップおよび上記分岐部からなるユニットを複数個備え、

それぞれの上記分岐部は、上記ペア伝送路に接続するバ

ストランシーバ回路と、上記バストランシーバ回路および第2の集積回路チップの間に並列等長配置された第1および第2の分岐路からなるペア分岐路とを有し、上記バストランシーバ回路は、第1の伝送路と第1の分岐路の間に設けられた第1の分岐抵抗と、第2の伝送路と第2の分岐路の間に設けられた第2の分岐抵抗と、第1の分岐抵抗に並列に設けられた第1のトランジスタと、第2の分岐抵抗に並列に設けられた第2のトランジスタとを有し、対応する第2のドライバ回路から相補信号を供給するときのみ、第1および第2のトランジスタをオンさせることを特徴とする信号伝送バスシステム。

【請求項29】 請求項23、24、27、または28に記載の信号伝送バスシステムにおいて、第1の分岐抵抗および第2の分岐抵抗の抵抗値は、0.4 [kΩ] 以上であることを特徴とする信号伝送バスシステム。

【請求項30】 請求項25または26に記載の信号伝送バスシステムにおいて、

第1の分岐路および第2の分岐路の特性インピーダンスは、第1の伝送路および第2の伝送路の特性インピーダンスのおよそ1/2であることを特徴とする信号伝送バスシステム。

【請求項31】 請求項9ないし11のいずれかに記載の信号伝送バスシステムにおいて、

上記分岐部は、上記レシーバ回路を上記ペア伝送路の途中に直接接続するものであり、

上記レシーバ回路の入力抵抗値は、1 [kΩ] 以上であり、

上記レシーバ回路の入力容量は、0.05 [pF] であることを特徴とする信号伝送バスシステム。

【請求項32】 請求項9ないし15のいずれかに記載の信号伝送バスシステムにおいて、

全ての上記分岐部により上記ペア伝送路から分岐される相補信号のエネルギーの合計が、上記ペア伝送路に供給された相補信号のエネルギーの10 [%] 以下であることを特徴とする信号伝送バスシステム。

【請求項33】 請求項9ないし15のいずれかに記載の信号伝送バスシステムにおいて、

第1の伝送路と第2の伝送路は、絶縁層を挟んで、あるいは絶縁層の同じ面上に、所定の間隔でほぼ同じ長さに配置されていることを特徴とする信号伝送バスシステム。

【請求項34】 請求項9ないし15のいずれかに記載の信号伝送バスシステムにおいて、上記ペア伝送路、上記終端抵抗、上記ドライバ回路、上記分岐部、および上記レシーバ回路からなるユニット、あるいは、上記ペア伝送路、上記終端抵抗、第1の集積回路チップ、上記分岐部、および第2の集積回路チップからなるユニットを上記回路基板上に複数個備えたこと

10 を特徴とする信号伝送バスシステム。

【請求項35】 請求項23、25、または27に記載の信号伝送バスシステムにおいて、

上記ペア伝送路、上記終端抵抗、上記ドライバ回路、上記分岐部、および上記レシーバ回路からなるユニット、あるいは、上記ペア伝送路、上記終端抵抗、第1の集積回路チップ、上記分岐部、および第2の集積回路チップからなるユニットを上記回路基板上に複数個備え、任意の上記ペア伝送路の第1の伝送路と第2の伝送路、

および任意のペア分岐路の第1の分岐路と第2の分岐路は、それぞれ絶縁層を挟んで対向するように配置されており、

上記ペア伝送路と上記ペア分岐路は、絶縁層を挟んで交差するように配置されており、

上記ペア伝送路と上記ペア分岐路の間の絶縁層の厚さは、第1の伝送路と第2の伝送路の間の絶縁層の厚さ、および第1の分岐路と第2の分岐路の間の絶縁層の厚さの数倍であることを特徴とする信号伝送バスシステム。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】 本発明は、伝送路を介してドライバ回路からレシーバ回路に信号（特に、数 [GHz] 以上の周波数の高速デジタル信号）を伝送する信号伝送バスシステムに関する。

【0002】

【従来の技術】 図21は従来の信号伝送バスシステムの回路図である。図21の信号伝送バスシステムは、信号伝送路（Transmission line）101と、ドライバ回路102と、レシーバ回路103とを回路基板104上に形成または実装したものである。ドライバ回路102、レシーバ回路103は、通常ICチップに内蔵されており、これらのICチップが回路基板104に実装される。

【0003】 また、回路基板104には、電源パターン105およびグランドパターン106が形成されている。電源パターン105は、ドライバ回路102、レシーバ回路103、および他の回路に電源（元電源）Vddから電力を供給するためのものであり、平面的な広がりを持って配置されている。また、グランドパターン106は、ドライバ回路102、レシーバ回路103、および他の回路を基準電源となるグランド（元グランド）GNDに接続するためのものであり、平面的な広がりを持って配置されている。また、信号伝送路101は、マイクロストリップ構造をなしている。

【0004】 ドライバ回路102およびレシーバ回路103は、いずれもCMOS回路からなり、それぞれのCMOS回路のpMOSトランジスタのソース電極は電源パターン105に接続され、nMOSトランジスタのソース電極はグランドパターンに接続されている。ドライバ回路102の出力端子（pMOSトランジスタおよび

nMOSトランジスタのドレイン電極)、およびレシーバ回路103の入力端子(pMOSトランジスタおよびnMOSトランジスタのゲート電極)は、信号伝送路101の両端にそれぞれ接続されている。レシーバ回路103の入力端子は、MOSトランジスタのゲート電極なので、レシーバ回路103の入力インピーダンスは、信号伝送路101の特性インピーダンスよりも高い。

【0005】ドライバ回路102は、送信入力信号TSに応じた伝送信号を信号伝送路101に供給する。また、レシーバ回路103は、信号伝送路101に供給された伝送信号を感知し、この伝送信号に応じた受信出力信号RSを出力する。なお、上記構造のドライバ回路102を、CMOS型ドライバ回路と称する。

【0006】送信入力信号TSがハイレベルからローレベルに遷移すると、電流I_uが電源パターン105からドライバ回路102のpMOSトランジスタを介して信号伝送路101に流れ込み、この電流I_uによる伝送信号がマイクロストリップ構造の信号伝送路1を伝播し、レシーバ回路103に到達し、レシーバ回路103が感知する伝送信号はローレベルからハイレベルに変化する。このとき、電源パターン105においては、ドライバ回路102との接続部から元電源V_uに向かって電流I_uによる交流的な電荷移動が伝播していく。

【0007】また、入力信号がローレベルからハイレベルに遷移すると、電流I_uが信号伝送路101からドライバ回路102のnMOSトランジスタを介してグランドパターン106に流れ込み、この電流I_uによる伝送信号が信号伝送路101を伝播し、レシーバ回路103に到達し、レシーバ回路103が感知する伝送信号はハイレベルからローレベルに変化する。このとき、グランドパターン106においては、ドライバ回路102との接続部から元グランドGNDに向かって電流I_uによる交流的な電荷移動が伝播していく。

【0008】図21の信号伝送バスシステムにおいて、例えば、電源V_uの電圧値を3.3[V]、ドライバ回路102のpMOSトランジスタおよびnMOSトランジスタのオフ抵抗値を100[kΩ]、オン抵抗値を15[Ω]、信号伝送路101の抵抗値を100[Ω]、信号伝送路101の信号伝送時間を1[n s]とすると、信号伝送路101がローレベルのときに電源パターン105から信号伝送路101に流れる暗電流、および信号伝送路101がハイレベルのときに信号伝送路101からグランドパターン106に流れる暗電流は、

$$3.3[V] / (100[Ω] + 100[kΩ]) = 330[μA]$$

である。信号伝送路101がローレベルからハイレベルに遷移する1[n s]の間は、信号伝送路101のプラス電荷をチャージする必要があるため、

$$3.3[V] / (15[Ω] + 100[Ω]) = 29[mA]$$

という大電流が電源パターン105から信号伝送路101に流れる。逆に、信号伝送路101がハイレベルからローレベルに遷移する1[n s]の間は、信号伝送路101にマイナス電荷をチャージする必要があるため、信号伝送路101からグランドパターン106に上記の大電流が流れる。

【0009】しかしながら、図21の信号伝送バスシステムにおいて高速ディジタル信号(例えば、数[G Hz]の高周波ディジタル信号)を伝送するには、以下の問題があった。図21の信号伝送バスシステムでは、信号伝送路101の遷移期間に電源パターン105またはグランドパターン106から信号伝送路101に交流的に電荷が供給されるが(言い換えると、電源パターン105からドライバ回路102に供給する電流およびドライバ回路102からグランドパターン106に流れ込む電流が、送信入力信号TSの立ち上がり変化および立ち下がり変化を追従するように、交流的に変化する)、送信入力信号TSの周波数が高くなり、従って伝送信号の周波数が高くなると、電荷の供給が送信入力信号TSの変化を追従できなくなり、電源V_uおよびグランドGNDの揺らぎを生じる。上記の例のように、1[n s]という比較的の瞬時に29[mA]という大電流を電源パターン105またはグランドパターン106とドライバ回路102との間に流すと、電源/GNDに揺らぎを生じる。上記の電源/GNDの揺らぎは、信号伝送バスシステム全体の揺らぎを誘発し、これにより寄生インダクタンスとキャパシタンスによる共振を誘発し、信号伝送バスシステムの誤動作の原因となる。

【0010】また、図21の信号伝送バスシステムでは、信号伝送路101のレシーバ側端部が全反射端になっているため、レシーバ回路103に到達した伝送信号は、ほとんど全反射し、信号伝送路101内を多重反射する。この多重反射により、伝送信号の波形が乱れる。

【0011】さらに、上記電源/GNDの揺らぎによる共振、および上記伝送信号の多重反射は、電磁放射を誘発する。この電磁放射は、グランドパターン106および電源パターン105の広がった部分に渦電流(Eddy current)を発生させ、この渦電流によっても電磁放射が発生する。これらの電磁放射は、回路基板104上の他の回路に電磁障害(EMI: ElectroMagnetic Interference)を発生させる原因になる。

【0012】なお、図21の信号伝送バスシステムにおいて、送信入力信号TSのパルス保持時間が1[n s]以下になると、上記の大電流が常に流れることになるため、CMOS回路の低消費電力の効果はなくなる。

【0013】本願発明者は、図21の信号伝送バスシステムでの上記の問題を解消する信号伝送バスシステムを、特願平10-348270号(以下、単に文献と称する)においてすでに開示している。

【0014】図22は上記文献に記載された信号伝送バ

スシステムの回路図である。図22の信号伝送バスシステムは、並列等長配置された信号伝送路201aおよび201bからなるペア信号伝送路201と、終端抵抗(Termination resistance)202と、ドライバ回路203と、1個または複数個(図では2個)の分岐部204と、1個または複数個(図では2個)のレシーバ回路205と、並列等長配置された電源ライン206aおよびグランドライン206bからなるペア電源ライン206と、回路基板207とを備えている。ドライバ回路203はICチップ211内に設けられており、レシーバ回路205はICチップ212内に設けられている。ICチップ211、212、ペア信号伝送路201、終端抵抗202、分岐部204、およびペア電源ライン206は、回路基板207に実装または形成されている。

【0015】終端抵抗202は、ペア信号伝送路201に整合し、ペア信号伝送路201の一方の端部を終端している。また、ドライバ回路203は、ペア信号伝送路201の他方の端部に設けられている。また、分岐部204およびこれに対応するレシーバ回路205は、分岐レシーバユニットを構成しており、この分岐レシーバユニットは、ペア信号伝送路201の途中に設けられている。

【0016】ドライバ回路203は、pMOSトランジスタQ₁およびnMOSトランジスタQ₂からなる直列回路と、nMOSトランジスタQ₃およびpMOSトランジスタQ₄からなる直列回路との並列回路によりカレントスイッチ回路を構成し、このカレントスイッチ回路をシリーズ抵抗208、209を介して電源ライン206aおよびグランドライン206bに接続したものであり、カレントスイッチ型(Current switch type)ドライバ回路と称される。トランジスタQ₁～Q₄のゲート電極には、送信入力信号TSが入力される。また、トランジスタQ₁とQ₂の接続ノードは、信号伝送路201aに接続され、トランジスタQ₃とQ₄の接続ノードは、信号伝送路201bに接続されている。なお、上記のカレントスイッチ回路は、バイポーラトランジスタで構成することも可能である。

【0017】このドライバ回路203は、ICチップ211から入力される送信入力信号TSに従ってペア伝送路201に伝送信号を供給する。ペア信号伝送路201の信号伝送路201aおよび信号伝送路201bに供給される伝送信号は、互いに相補的な信号(相補信号と称する)である。ドライバ回路203は、送信入力信号TSのレベル変化(ハイレベルからローレベル、またはその逆)に応じて、伝送信号(相補信号)の正/負を反転させる。

【0018】上記の分岐レシーバユニットは、分岐部204により、ペア信号伝送路201上での相補信号のエネルギーを乱さないように、ペア信号伝送路201の途中から相補信号のエネルギーの内の僅かな一部を分岐し、分

岐した相補信号をレシーバ回路205により感知する。レシーバ回路205は、例えば差動アンプからなる。

【0019】周波数が500[MHz]を越えるデジタル信号の伝送を可能にするには、送信入力信号TSがハイレベルのときにもローレベルのときにも同じように、電源V_{dd}からグランドGNDに直流的な電流が流れているカレントスイッチ型ドライバ回路が必要となる。送信入力信号TSのレベル変化に応じて伝送信号を遷移させるには、大きなエネルギーが必要であり、図21のCMOS型ドライバ回路102では、伝送信号の周波数が高くなると、電荷の供給が送信入力信号TSのレベル変化に追従できなくなる。これに対し、図22のドライバ回路203では、直流的な電荷の流れを定常的に作っておいて、送信入力信号TSのレベル変化に応じて、ペア信号伝送路201上での上記電荷の流れを切り換えるというカレントスイッチ動作により、ペア信号伝送路201上での伝送信号の高速遷移を可能にしている。

【0020】図22の信号伝送バスシステムでは、並列等長配置された信号伝送路201aおよび信号伝送路201bからなるペア信号伝送路201により、伝送信号として相補信号を伝送するため、数[GHz]のデジタル信号を伝送するのに実用できる。なお、伝送信号が正弦波信号の場合には、デジタル信号の5倍以上の周波数の信号を伝送するのに実用できる。また、ペア信号伝送路201の終端には、信号伝送路201aおよび201bの特性インピーダンスと整合する終端抵抗202が挿入されており、伝送信号のエネルギーが反射することはないため、単純で理想的なバスシステム構造とすることができる。

【0021】

【発明が解決しようとする課題】しかしながら図22の信号伝送バスシステムには、以下に説明する課題がある。伝送信号を遷移させるためにカレントスイッチ回路のトランジスタQ₁～Q₄が同時にスイッチングするときに、トランジスタQ₁とQ₂、または/およびトランジスタQ₃とQ₄が、同時にスイッチオンとオフの中間になるため、伝送信号の遷移期間(トランジスタQ₁～Q₄のスイッチング期間)の中間において、ペア信号伝送路201を通らない短絡的かつ瞬時的な貫通電流が電源ライン206aからグランドライン206bに流れる。この貫通電流により、電源V_{dd}では電圧が瞬時に低下し、グランドGNDでは電圧が瞬時に上昇するというコモンモードノイズが発生する。また、電源V_{dd}とグランドGNDのいずれか一方で電圧が瞬時に低下し、他方で電圧が瞬時に上昇するというディファレンシャルモードノイズが発生する。ただし、上記のディファレンシャルモードノイズは、少量である。

【0022】例えば、電源V_{dd}の電圧値を3.3[V]、伝送路201a、201bの特性インピーダンスを100[Ω]、終端抵抗を100[Ω]、シリーズ

抵抗208, 209の抵抗値をそれぞれ100 [Ω] とする。また、トランジスタQ1～Q4の動的特性と同じであるものとし、トランジスタQ1～Q4のオン抵抗値を15 [Ω]、オフ抵抗値を100 [kΩ]、オン/オフの中間での抵抗値を500 [Ω] とする。

【0023】トランジスタQ1およびQ2からなる直列回路とシリーズ抵抗208, 209の合成抵抗値、ならびにトランジスタQ3およびQ4からなる直列回路とシリーズ抵抗208, 209の合成抵抗値は、カレントスイッチング回路のトランジスタQ1～Q4がスイッチング動作をしていない安定なときには、それぞれ、

$$2 \times 100 [\Omega] + (100 [k\Omega] + 15 [\Omega]) = 100215 [\Omega]$$

である。このとき、トランジスタQ1およびQ2からなる直列回路、およびトランジスタQ3およびQ4からなる直列回路に流れる電流は、それぞれ、

$$3.3 [V] / 100215 [\Omega] = 33 [\mu A]$$

である。従って、カレントスイッチング回路がスイッチング動作をしていない期間では、上記の直列回路には、電流はほとんど流れない。

【0024】これに対し、カレントスイッチング回路のスイッチング期間の中間での上記直列回路とシリーズ抵抗208, 209の合成抵抗値は、それぞれ、

$$2 \times 100 [\Omega] + 2 \times 500 [\Omega] = 1.2 [k\Omega]$$

であり、このとき上記直列回路には、それぞれ、

$$3.3 [V] / 1.2 [k\Omega] = 2.75 [mA]$$

という瞬時電流が流れる。

【0025】また、カレントスイッチング回路がスイッチングしていない期間に、ペア信号伝送路201に流れる電流は、

$$3.3 [V] / (2 \times 100 [\Omega] + 2 \times 15 [\Omega] + 100 [\Omega]) = 10 [mA]$$

である。

【0026】従って、ペア伝送路201に流れる電流に対する貫通電流の比率は、

$$2.75 [mA] / 10 [mA] = 27.5 [\%]$$

となり、貫通電流は無視できない電流となる。上記の貫通電流は、上記2個の直列回路のいずれにも流れため、ドライバ回路203での貫通電流は、上記貫通電流の2倍（ペア信号伝送路201に流れる電流の55

[%]）となる。これは、上記2個の直列回路に流れる貫通電流のタイミングが全く重なった場合であるが、もしこれらのタイミングに少しのスキーがあると、より高周波成分を含んだ複雑な電流変化をすることになる。いずれにしても問題は大きい。

【0027】なお、図21のドライバ回路103でも、上記のような貫通電流が同じように流れる。図21のドライバ回路103であまり問題にならなかったのは、単に周波数の低い信号の伝送に用いられ、問題が顕在化していないだけである。

【0028】上記の貫通電流によるコモンモードノイズは、伝送するデジタル信号の立ち上がり時間よりさらに瞬時の問題であり、上記コモンモードノイズに含まれる周波数成分は、伝送するデジタル信号の周波数の10倍以上の高周波成分である。この高周波ノイズは、電源/グランドの揺らぎを誘発し、これにより信号伝送バスシステム全体の揺らぎを誘発する。この信号伝送バスシステム全体の揺らぎは、小さな寄生インダクタンスとキャパシタンスの共振を誘発し、電磁放射を発生させる。

【0029】上記コモンモードノイズの発生を抑制するためには、ドライバ回路近傍のペア電源/グランドライン間に、バイパスコンデンサ（パソコン、デカップリングキャパシタ）を挿入し、このパソコンをドライバ回路に供給する電流の急峻な変化に対し、ドライバ回路に近接する電荷の供給源（電源）として機能させることが考えられる。しかし、パソコンには、インダクタンスが寄生しており、この寄生インダクタンスが上記の急峻な電流変化に応じて瞬時に電荷を供給するときのインピーダンスとして働いてしまい、上記の急峻な電流変化を補うための瞬時の電荷供給ができない。

【0030】図23はコモンモードノイズの評価システムの回路図である。図23の評価システムは、評価基板221上に、図22のドライバ回路203を含むICチップ211と、図22のシリーズ抵抗208, 209と、図22のペア電源ライン206と、パソコン222と、抵抗223と、プローブ端子224, 225, 226とを設けたものである。

【0031】パソコン222は、サイズ100.5 (1 [mm] × 0.5 [mm])、容量0.1 [μF] のセラミックチップコンデンサであり、ICチップ211の近傍の電源ライン206aおよびグランドライン206bの間に設けられている。また、抵抗223は、ドライバ回路の出力端子D1-D2間に設けられており、その抵抗値は100 [Ω] である。また、プローブ端子224はグランドライン206bに、プローブ端子225はドライバ回路203の出力端子D1に、プローブ端子226はドライバ回路203の出力端子D2に、それぞれ接続している。

【0032】図23の評価システムにおいて、電源V_{dd}を3.3 [V]、ドライバ回路203の入力信号V_{in}を、振幅2.4 [V]、100 [MHz] の信号とし、プローブ端子224, 225, 226にFETプローブを接触させ、出力端子D₁-D₂間の電圧V_(D₁-D₂)、出力端子D₁-グランドGND間の電圧V_(D₁-GND)、および出力端子D₂-グランドGND間の電圧V_(D₂-GND)をそれぞれ観測する。

【0033】図24は図23の評価システムにおいて観測された電圧波形図である。図24において、(a)はドライバ回路203の出力端子D₁-D₂間の差動電圧V

(D₁ - D₂) の波形である。また、(b) は出力端子 D₁ - グランド GND 間の電圧 V(D₁ - GND) の波形、出力端子 D₂ - グランド GND 間の電圧 V(D₂ - GND) の波形、およびこれらの電圧を加算した電圧 V(D₁ - GND) + V(D₂ - GND) の波形である。また、(c) は上記の加算電圧 V(D₁ - GND) + V(D₂ - GND) のみの波形である。

【0034】図24 (b) および (c) のように、パスコン222は、ドライバ回路のスイッチング時の急峻な電流変化に対し、寄生インダクタンスのために瞬時に電荷を供給することができず、ドライバ回路の差動出力のそれぞれとグランド GND の間の電圧 V(D₁ - GND), V(D₂ - GND) には、それぞれ大きなコモンモードノイズが載っている。図24 (b) および (c) のコモンモードノイズは、その周波数成分のみならず強度も EMI 対策上、堪え難いものである。なお、これに對し、図24 (a) により、伝送信号の電圧 V(D₁ - D₂) は、ドライバ回路による差動電圧であるため、コモンモードノイズをキャンセルしてきれいな波形になっている。従って、ドライバ回路から供給される伝送信号そのものには問題がない。

【0035】図23および図24で説明したように、ドライバ回路を内蔵するICチップの外部に設けるタイプのセラミックチップコンデンサ等のパスコンでは、そのパスコンに寄生するインダクタンスのために、ドライバ回路のスイッチング時に発生するコモンモードノイズを消すことができない。さらには、低インダクタンスキャパシタ (LICA: Low Inductance CApacitance) を上記ICチップの外部に設けても、LICAに寄生するインダクタンスのために、上記のコモンモードノイズを消すことができない。

【0036】上記のコモンモードノイズを消すことができる原因是、ICチップの内部に埋め込むタイプの埋め込みキャパシタ (Embedded capacitor) のみである。埋め込みキャパシタは、チップ内に埋め込まれるため、その寄生インダクタンスは、ほとんど無視できる値 (例えば、0.1 [nH] 以下) となる。

【0037】上記パスコンに寄生するインダクタンスによる電源/グランドの揺れについて、SPICEシミュレータを用いたシミュレーションにより、さらに詳細に説明する。

【0038】図25はSPICEシミュレータを適用するための図21の信号伝送バスシステム (CMOS型ドライバ回路を備えた信号伝送バスシステム) の等価回路図である。図25 (A) ~ (D) において、キャパシタ C₁ はパスコンに相当し、インダクタンス L₁ は、パスコンの寄生インダクタンスに相当する。また、n-p-nバイポーラトランジスタ Q₁ および Q₂ は、CMOS型ドライバ回路 (図21の104参照) のpMOSトランジスタに相当し、p-n-pバイポーラトランジスタ Q₃ およ

び Q₄ は、CMOS型ドライバ回路のnMOSトランジスタに相当する。また、伝送路 T₁ および T₂ は信号伝送路に相当し、伝送路 T₃ は電源ラインに相当する。

【0039】図25 (A) ~ (D) の等価回路においては、キャパシタンス C₁ または / およびインダクタンス L₁ の値が互いに異なるのみであり、電源 V₁, V₂ の特性、伝送路 T₁ ~ T₃ の特性、トランジスタ Q₁ ~ Q₄ の特性、抵抗 R₁ ~ R₃ の抵抗値、キャパシタンス C₂ ~ C₅ の容量値、およびインダクタンス L₂, L₃ の値は、互いに等しい。

【0040】また、図26はSPICEシミュレータによる図25の等価回路各部の波形図である。図26の (A), (B), (C), (D) は、それぞれ図25 (A), (B), (C), (D) の等価回路の波形図である。

【0041】図26において、V(N₁) は図25のノード N₁ の電位 (= 電源 V₁ のプラス側の電位)、V(N₂) は図25のノード N₂ の電位 (= 電源 V₂ のプラス側の電位)、V(N₃) は図25のノード N₃ の電位 (= インダクタンス L₁ とトランジスタ Q₁ の接続ノードの電位) である。また、I(L₁) はキャパシタンス C₁ の充放電によりインダクタンス L₁ の端子間に生じる電圧、I(R₃) は抵抗 R₃ に流れる交流電流により抵抗 R₃ の端子間に生じる交流電圧である。

【0042】パスコンの容量は、100 [nF] 以上であることが従来から常識とされているが、図25および図26から、寄生するインダクタンスが 0.1 [nH] 以下と小さいパスコンであれば、従来の常識の 1/10 の容量である 10 [nF] のコンデンサでも、パスコンとしての効果があることが判る。

【0043】図22のカレントスイッチ型ドライバ回路においても、寄生するインダクタンスが 0.1 [nH] 以下のパスコンを設ければ、コモンモードノイズを消すことができる。しかし、0.1 [nH] 以下という小さな寄生インダクタンスのパスコンを実現するには、外付け型のパスコンでは不可能である。先に説明したように、埋め込み型のパスコンのみがその可能性を持っている。埋め込み型のパスコンの位置で最適なところは、ICチップ内のドライバ回路の側近である。なお、これについては、上記文献を参照されたい。

【0044】このように、上記従来のカレントスイッチ型ドライバ回路では、伝送信号の遷移期間 (トランジスタのスイッチング期間) において、トランジスタのインピーダンスの動的変化により、電源/グランドから見たインピーダンスが瞬時に変化し、負通電流が流れ、これによりコモンモードノイズ (少量のディファレンシャルモードノイズ) を生じ、このコモンモードノイズにより電源/グランドの揺らぎを誘発するという問題がある。上記のコモンモードノイズを消すには、埋め込み型のパスコンを ICチップ内のドライバ回路の側近に設けてお

かなければならない。

【0045】本発明は、このような従来の課題を解決するためになされたものであり、電源／グランドから見たドライバ回路のインピーダンス変化を平準化することにより、パソコンに頼らずに電源およびグランドの揺らぎを抑え、EMIのない高速な信号伝送を可能にすることを目的とするものである。また、パソコンの設置位置および寄生インダクタンス等の自由度を大きくすることを目的とする。

【0046】

【課題を解決するための手段】上記の目的を達成するために本発明のドライバ回路は、並列等長配置された第1および第2の伝送路からなるペア伝送路に、入力信号に従って相補信号を供給するドライバ回路において、上記入力信号が第1のレベルのときは、第1の電源と第1の伝送路の間および第2の電源と第2の伝送路の間に、上記相補信号の供給のための電流経路をそれぞれ形成し、上記入力信号が第2のレベルのときは、上記電流経路を遮断するとともに、第1の電源と第2の電源の間に、上記ペア伝送路をバイパスする電流経路を形成することを特徴とする。

【0047】また、本発明のレシーバ回路は、並列等長配置されたペア伝送路に供給され、上記ペア伝送路上でのエネルギーを乱さないように上記ペア伝送路の途中から分岐抵抗を介して分岐された相補信号を感知するレシーバ回路において、上記分岐された相補信号が差動入力端子に入力される差動アンプと、上記差動アンプの上記差動入力端子間を終端する終端トランジスタとを備え、上記相補信号が上記ペア伝送に供給されているか否かを検知することを特徴とする。

【0048】また、本発明の第1の信号伝送バスシステムは、並列等長配置された第1および第2の伝送路からなるペア伝送路と、上記ペア伝送路に整合し、上記ペア伝送路の一方の端部を終端する終端抵抗と、入力信号に従って上記ペア伝送路の他方の端部から上記ペア伝送路に相補信号を供給するドライバ回路と、上記相補信号の上記ペア伝送路上でのエネルギーを乱さないように、上記ペア伝送路の途中から上記相補信号を分岐する1個または複数個の分岐部と、上記分岐部に対し個別に設けられ、上記分岐された相補信号を感知する1個または複数個のレシーバ回路と、上記ペア伝送路、上記終端抵抗、上記ドライバ回路、上記分岐部、および上記レシーバ回路が実装または形成された回路基板とを備え、上記ドライバ回路が、上記本発明のドライバ回路であり、または／かつ上記レシーバ回路が、上記本発明のレシーバ回路であることを特徴とする。

【0049】また、本発明の第2の信号伝送バスシステムは、並列等長配置された第1および第2の伝送路からなるペア伝送路と、上記ペア伝送路に整合し、上記ペア伝送路の一方の端部を終端する終端抵抗と、入力信号に

10

20

30

40

50

従って上記ペア伝送路に対し相補信号を供給するドライバ回路と、上記ドライバ回路と上記ペア伝送路の間に設けられ、上記ドライバ回路からの相補信号を上記ペア伝送路の途中に供給する分岐部と、上記ペア伝送路の他方の端部において上記相補信号を感知するレシーバ回路と、上記ペア伝送路、上記終端抵抗、上記ドライバ回路、上記分岐部、および上記レシーバ回路が実装または形成された回路基板とを備え、上記ドライバ回路が、上記本発明のドライバ回路であることを特徴とする。

【0050】また、本発明の第3の信号伝送バスシステムは、並列等長配置された第1および第2の伝送路からなるペア伝送路と、上記ペア伝送路に整合し、上記ペア伝送路の一方の端部を終端する終端抵抗と、上記ペア伝送路の他方の端部に接続された第1の集積回路チップと、第2の集積回路チップと、上記ペア伝送路の途中に第2の集積回路チップを接続するための分岐部と、上記ペア伝送路、上記終端抵抗、第1の集積回路チップ、第2の集積回路チップ、および上記分岐部が実装または形成された回路基板とを備え、第1の集積回路チップが、入力信号に従って上記ペア伝送路に相補信号を供給する第1のドライバ回路と、第2の集積回路チップから上記ペア伝送路に供給された相補信号を感知する第1のレシーバ回路とを有し、第2の集積回路チップが、第1の集積回路チップから供給された相補信号の上記ペア伝送路上でのエネルギーを乱さないように、上記相補信号を感知する第2のレシーバ回路と、入力信号に従って上記ペア伝送路に相補信号を供給する第2のドライバ回路とを有し、第1のドライバ回路または／および第2のドライバ回路が、上記本発明のドライバ回路であり、または／かつ第2のレシーバ回路が、上記本発明のレシーバ回路であることを特徴とする。

【0051】

【発明の実施の形態】実施の形態1

図1は本発明の実施の形態1の信号伝送バスシステムの回路図である。この実施の形態1の信号伝送バスシステムは、ペア信号伝送路（ペア信号伝送ライン）1と、終端抵抗2と、ドライバ回路3と、1個または複数個（図では2個）の分岐部4と、1個または複数個（図では2個）のレシーバ回路5と、ペア電源／グランドライン6と、パソコン7と、回路基板8とを備えている。ドライバ回路3はICチップ（ドライバチップ）9内に設けられており、レシーバ回路5はICチップ（レシーバチップ）10内に設けられている。ドライバチップ9、レシーバチップ10、ペア伝送路1、終端抵抗2、分岐部4、ペア電源／グランドライン6、およびパソコン7は、回路基板8に実装または形成されている。この実施の形態1の信号伝送バスシステムは、ドライバ回路3およびレシーバ回路5に特徴がある。

【0052】ペア信号伝送路1は、並列等長配置された信号伝送路（信号伝送ライン）1aおよび1bからな

る。また、終端抵抗2は、信号伝送路1aおよび1bの特性インピーダンスに整合しており、ペア信号伝送路1の一方の端部を終端している。また、ドライバ回路3は、ペア信号伝送路1の他方の端部に設けられている。また、分岐部4およびレシーバ回路5からなる分岐レシーバユニットは、ペア信号伝送路1の途中に設けられている。

【0053】ペア電源／グランドライン6は、並列等長配置された電源ライン6aおよびグランドライン6bからなる。電源ライン6aは、電源(元電源)V_dとドライバ回路3の電源端子E₁の間に設けられている。また、グランドライン6bは、グランド(元グランド)GNDとドライバ回路3のグランド端子E₂の間に設けられている。

【0054】ペア信号伝送路1およびペア電源／グランドライン6は、並列等長配置された2本の伝送路からなるペア伝送路である。図2は並列等長配置されたペア伝送路(ペア信号伝送路1およびペア電源／グランドライン6)の断面構造図であり、(a)はペア伝送路1を構成する伝送路11aおよび11bを回路基板8に設けられた絶縁層8aの同じ面に、間隔aで並列に、かつ同じ長さに配置した並列等長配置構造、(b)は、上記の導体ライン11aおよび11bを絶縁層8aの両面に、厚さtの絶縁層8aを挟んで並列に、かつ同じ長さに配置した並列等長配置構造である。

【0055】図2のような並列等長配置構造では、伝送路11aおよび11bの寄生インダクタンスを相殺することができ、リアクタンスのないペア伝送路を構成することができるため、伝送路11aおよび11bの電磁的な乱れを防止することができる。

【0056】図2(a)の構造においては、ペア伝送路11の最も近傍に配置された他のペア伝送路12との間隔をbとすると、b>2aであれば、ペア伝送路11は、近傍のペア伝送路12にほとんど電磁放射の影響を与えない電磁界の閉じた伝送路となる。また、図2

(b)の構造においては、伝送路11aおよび11bの幅をc、ペア伝送路11の最も近傍に配置された他のペア伝送路12との配置間隔をsとすると、s>2(t+c)であれば、ペア伝送路11は、近傍のペア伝送路12にほとんど電磁放射の影響を与えない電磁界の閉じた伝送路となる。ここでは、図2(b)の構造を採用することとする。以下、ペア伝送路について並列等長配置(並列等長配置構造)という場合には、図2(b)の構造であることとする。

【0057】なお、主に直流的に電荷を流す電源ライン6aおよびグランドライン6bは、必ずしも図2のような並列等長配置構造にする必要がないが、高速デジタル信号を伝送する信号伝送バスシステムでは、電荷の流れている伝送路は、電磁界をできるだけ閉じ、他の伝送路等に対する電磁放射の影響を少なくすることが望まし

い。

【0058】図3は上記並列等長構造の伝送路での磁界の広がりを説明する断面図である。絶縁層8aの厚みtが厚い場合には、ペア伝送路11による電磁界EMは、広がり、隣接するペア伝送路12による電磁界との干渉が発生するが、絶縁層8aの厚みtが薄く、上記の条件s>2(t+c)を満たしていれば、図3のように、ペア伝送路11間に電磁界EMが集中し、電磁干渉がほとんどなくなる。従って、ペア伝送路11は、電磁界の閉じた伝送路となる。

【0059】ドライバ回路3は、ドライブトランジスタ13、14と、ショートトランジスタ15と、ノイズ消去抵抗16と、シリーズ抵抗17、18と、入力端子INと、ドライブ端子D₁、D₂と、電源端子E₁と、グランド端子E₂とを有する。

【0060】入力端子INには、ドライバチップ9内の他の回路から送信入力信号TSが入力される。ドライブ端子D₁は信号伝送路11aの端部に接続され、ドライブ端子D₂は信号伝送路11bの端部に接続され、電源端子E₁は電源ライン6aの端部に接続され、グランド端子E₂はグランドライン6bの端部に接続されている。

【0061】ドライブトランジスタ13は、電源端子E₁とドライブ端子D₁の間に設けられたnMOSトランジスタである。また、ドライブトランジスタ14は、ドライブ端子D₂とグランド端子E₂の間に設けられたnMOSトランジスタである。また、ショートトランジスタ15は、電源端子E₁とグランド端子E₂の間に設けられたpMOSトランジスタである。また、ドライブトランジスタ13、14、およびショートトランジスタ15のゲート電極は、いずれも入力端子INに接続されている。

【0062】シリーズ抵抗17は、ドライブトランジスタ13と電源端子E₁の間に挿入され、ドライブトランジスタ13と直列回路をなしている。また、シリーズ抵抗18は、ドライブトランジスタ14とグランド端子E₂の間に挿入され、ドライブトランジスタ14と直列回路をなしている。また、ショートトランジスタ15の一方の電極は、ドライブトランジスタ13の電源端子E₁側の電極に接続するとともに、シリーズ抵抗17を介して電源端子E₁に接続しており、ショートトランジスタ15の他方の電極は、ドライブトランジスタ14のグランド端子E₂側の電極に接続するとともに、シリーズ抵抗18を介してグランド端子E₂に接続している。また、ノイズ消去抵抗16は、ドライブ端子D₁、D₂間に挿入されている。

【0063】ドライブトランジスタ13、14は、送信入力信号TSがハイレベルのときオンし、送信入力信号TSがローレベルのときオフする。逆に、ショートトランジスタ15は、送信入力信号TSがハイレベルのときオフし、送信入力信号TSがローレベルのときオンする。

【0064】このドライバ回路3は、ドライブトランジスタ13, 14、およびショートトランジスタ15により、送信入力信号TSがハイレベルのときは、信号伝送路1aを電源Vddに、信号伝送路1bをグランドGNDにそれぞれ接続し、信号伝送路1aにプラス電荷を、信号伝送路1bにマイナス電荷をそれぞれ供給し、送信入力信号TSがローレベルのときは、信号伝送路1aを電源Vddから、信号伝送路1bをグランドGNDからそれぞれ切り離し、ペア信号伝送路1に電荷が供給されないようにするとともに、電源VddとグランドGNDの間にペア信号伝送路1をバイパスする電荷の流動経路を形成することを特徴とする。

【0065】言い換えると、ドライバ回路3は、送信入力信号TSがハイレベルのときは、電源Vddと信号伝送路1aの間（電源端子E1とドライブ端子D1の間）、および信号伝送路1bとグランドGNDの間（ドライブ端子D2とグランド端子E2の間）に、相補信号の供給のための電流経路をそれぞれ形成し、送信入力信号TSがローレベルのときは、上記の相補信号供給のための電流経路を遮断するとともに、電源VddとグランドGNDの間（電源端子E1とグランド端子E2の間）に、ペア信号伝送路1をバイパスする電流経路を形成することを特徴とする。

【0066】つまり、ドライバ回路3は、電源／グランド間に直流的な電流経路を維持し、電源／グランドから見たときに直流通路のように動作しながら、ペア信号伝送路1に対する相補信号の供給を送信入力信号TSに従って断続することを特徴とする。なお、ドライバ回路3の詳細については、あとで説明する。

【0067】上記の相補信号は、2本の伝送路からなるペア伝送路（図2のような並列等長配置構造のペア伝送路の他に同軸構造やツイスト構造のペア伝送路を含む）において、一方の伝送路に流れるプラス電荷による信号と、上記プラス電荷と同じ方向および同じ電荷量で他方の伝送路に流れるマイナス電荷による信号のペアからなる信号である。図24の従来のカレントスイッチ型ドライバ回路は、送信入力信号TSに従って相補信号の正／負を反転させるものであった。従って、図22の従来の信号伝送バスシステムは、伝送信号の「0」、「1」を、伝送路の一方が高電位となる相補信号と、伝送路の他方が高電位となる相補信号とにより表現するものであった。これに対し、実施の形態1のドライバ回路3は、送信入力信号TSに従って、相補信号をペア信号伝送路1に供給し、またはこの供給を停止するものである。従って、実施の形態1の信号伝送バスシステムは、伝送信号の「0」、「1」を、ペア信号伝送路1に相補信号が供給されているか否かにより表現するものである。

【0068】分岐部4およびレシーバ回路5は、ペア伝送路1に相補信号が供給されているか否かを検知する分岐レシーバユニットを構成している。この分岐レシーバ

ユニットはペア信号伝送路1の途中に設けられている。分岐部4は、ペア信号伝送路1に供給された相補信号のエネルギーを乱さないように、ペア信号伝送路1の途中から相補信号のエネルギーの僅かな一部を分岐する。また、分岐された僅かなエネルギーの相補信号を感知することにより、ペア信号伝送路1に相補信号が供給されているか否かを検知し、これにより伝送信号を受信する。

【0069】例えば、電源Vddの電圧値を1.0[V]、シリーズ抵抗17, 18の抵抗値をそれぞれ100[Ω]、終端抵抗2の抵抗値を15[Ω]、ドライブトランジスタ13, 14のオン抵抗値をそれぞれ15[Ω]とし、また伝送路1a, 1bでの表皮効果がなく、伝送路1a, 1bの直流抵抗値が0[Ω]であるとする。

【0070】ドライバ回路3が相補信号をペア信号伝送路1に供給するとき、信号伝送路1a, 1bに流れる電流I1は、

$$I_1 = 1.0[V] / (100[\Omega] + 100[\Omega] + 15[\Omega] + 15[\Omega] + 15[\Omega]) = 4.1[mA]$$

である。また、信号伝送路1a, 1b間の電圧（終端抵抗2での降下電圧）V1は、

$$V_1 = 4.1[mA] \times 15[\Omega] = 61[mV]$$

である。

【0071】なお、伝送路1a, 1bでの表皮効果が大きく、ペア信号伝送路1の直流抵抗値が、例えば30[Ω]であるとした場合には、

$$I_1 = 1.0[V] / (100[\Omega] + 100[\Omega] + 15[\Omega] + 15[\Omega] + 15[\Omega] + 30[\Omega]) = 3.6[mA]$$

$$V_1 = 3.6[mA] \times 15[\Omega] = 55[mV]$$

となる。

【0072】なお、ドライバ回路3が相補信号の供給を停止しているときには（ただし、供給停止前にペア信号伝送路1に供給されていたエネルギー（電荷）が全て終端抵抗2において消費されたあと）、信号伝送路1a, 1bに流れる電流、および信号伝送路1a, 1b間の電圧は0になる。

【0073】分岐レシーバユニット（分岐部4およびレシーバ回路5）は、上記の相補信号電圧V1を感知できるものでなければならないとともに、ペア信号伝送路1上での相補信号のエネルギーを乱さないように、相補信号をペア信号伝送路1から分岐できるものでなければならない。

【0074】上記「ペア信号伝送路1上での相補信号のエネルギーを乱さないように相補信号を分岐する」ことは、相補信号の波形を変形させずに僅かなエネルギーを分岐することを意味する。従って、ペア信号伝送路1上での相補信号のエネルギーを乱さないように分岐するには、ペア信号伝送路1の分岐端に、直列抵抗成分のみの（容

量成分を0とみなせる)高インピーダンス手段が設けられていることが条件になる。

【0075】上記「直流抵抗成分のみの(容量成分を0とみなせる)高インピーダンス手段」とは、例えば、抵抗値0.4 [kΩ]以上の純抵抗(容量成分が0)からなる分岐抵抗、あるいは入力容量値が0.05 [nF]以下であり、入力抵抗値が1 [kΩ]以上の手段である。信号伝送路1a, 1bの特性インピーダンスを15 [Ω]とすると、ペア信号伝送路1の分岐端に、入力抵抗値0.4 [kΩ]の手段を設けた場合には、ペア信号伝送路1上の相補信号のエネルギーの内、

$$15 [\Omega] / (0.4 [k\Omega] + 15 [\Omega]) = 3.6 [\%]$$

が分岐される。上記の分岐抵抗は、ペア信号伝送路1上の相補信号のエネルギーの内3.6[%]以下のエネルギーを分岐する純抵抗と言い換えることもできる。

【0076】さらに、分岐レシーバユニットを複数個設け、ペア信号伝送路1上での相補信号のエネルギーを乱さないように分岐するには、個々の分岐レシーバユニットに対する上記の条件に加え、全分岐レシーバユニットにより分岐されるエネルギーの合計が、ペア信号伝送路1に供給された相補信号のエネルギーの内、例えば10[%]以下であることが条件となる。

【0077】ペア信号伝送路1に供給される相補信号は、従来の技術において説明したようにコモンモードノイズをキャンセルできる信号であり、ほとんどノイズを含まない信号となるため、上記電圧V₁の相補信号をペア信号伝送路1上でのエネルギーを乱さないように分岐し、分岐した相補信号を感知することは可能である。

【0078】図4は上記分岐レシーバユニットの回路図である。図4において、分岐部4は、ペア信号伝送路1の途中に設けられており、ペア分岐抵抗20と、ペア分岐路21とを有する。ペア分岐路21は、並列等長配置された分岐路21aおよび21bからなる。また、ペア分岐抵抗20は、分岐抵抗20aおよび20bからなる。分岐抵抗20aは、信号伝送路1aの途中の分岐端と分岐路21aの一方の端部の間に挿入されており、分岐抵抗20bは、信号伝送路1bの途中の分岐端と分岐路21bの一方の端部の間に挿入されている。分岐路21aの他方の端部は、レシーバ回路5の入力端子IN₁に接続され、分岐路21bの他方の端部は、レシーバ回路5の入力端子IN₂に接続されている。

【0079】分岐抵抗20a, 20bの抵抗値は、ペア信号伝送路1上でのエネルギーを乱さないように相補信号を分岐するために、0.4 [kΩ]でなければならず、例えば1 [kΩ]とする。また、ペア分岐路21は、分岐された相補信号をレシーバ回路5に伝送するペア伝送路である。

【0080】レシーバ回路5は、差動アンプ22と、終端トランジスタ23と、入力端子IN₁, IN₂と、出力

端子OUTとを有する。分岐部4により分岐された相補信号が入力される入力端子IN₁, IN₂は、それぞれ差動アンプ22の差動入力端子になっている。また、検知した伝送信号に応じた受信出力信号を出力する出力端子OUTは、差動アンプ22の出力端子になっている。

【0081】このレシーバ回路5は、ペア信号伝送路1上でのエネルギーを乱さないようにペア伝送路1の途中から分岐抵抗20a, 20bを介して分岐される相補信号を感知することにより、相補信号がペア信号伝送路1に供給されているか否か(伝送信号が「0」であるか

「1」であるか)を検知し、検知した伝送信号に応じた受信出力信号RSを出力するものであり、入力端子IN₁, IN₂間を終端する終端トランジスタ23を有することを特徴とする。なお、レシーバ回路5の詳細については、あとで説明する。

【0082】バスコン7は、図1のようにドライバチップ9の外部かつ近傍の位置において、電源ライン6aとグランドライン6bの間に設けられている。伝送信号の遷移期間も含め、常に電源/グランドから見て直流回路のように動作するドライバ回路3を備えた実施の形態1の信号伝送バスシステムにおいては、バスコン7は、従来の信号伝送バスシステムのようにチップ内に埋め込むタイプのコンデンサである必要はない。また、実施の形態1の信号伝送バスシステムにおいては、バスコン7は、ほとんど不要であるが、他の回路で発生した電磁放射の影響をペア電源/グランドライン6が受けないようにするために、図1のように設けておくことが望ましい。

【0083】図5は本発明の実施の形態1の信号伝送バスシステムの回路構造図である。図5のように、ペア伝送路1は、絶縁層8aの上層に配置された信号伝送路1aと、絶縁層8aの下層に、信号伝送路1aと対向するように配置された信号伝送路1bからなる。信号伝送路1a, 1bのドライバ回路3側の端部には、互いに対向しないように曲折したパッド電極1cおよびコンタクト電極1dが一体それぞれに設けられている。同様に、信号伝送路1a, 1bの終端抵抗2側の端部には、互いに対向しないように曲折したパッド電極1eおよびコンタクト電極1fがそれぞれ一体に設けられている。さらに、絶縁層8aの上層には、絶縁層8aに設けられたピアホールにより信号伝送路1bの端部電極1dにコンタクトしているパッド電極1g、およびピアホールにより信号伝送路1bのコンタクト電極1fにコンタクトしているパッド電極1hが設けられている。そして、ドライバ回路3を含むドライバチップ9(図1参照)は、ペア信号伝送路1のパッド電極1c, 1gに、フリップチップボンディングまたはワイヤボンディングされている。同様に、終端抵抗2のチップは、ペア伝送路1のパッド電極1e, 1hに、フリップチップボンディングまたはワイヤボンディングされている。

【0084】また、ペア信号伝送路1の途中には、分岐パッド電極4a, 4bと、分岐コンタクト電極4cと、ペア分岐抵抗20のチップと、このペア分岐抵抗20から延びるペア分岐路21とを有する分岐部4が設けられている。そして、ペア分岐路21の先端部には、レシーバ回路5が設けられている。

【0085】図6は分岐レシーバユニット(分岐部4およびレシーバ回路5)の回路構造図である。図6のように、ペア信号伝送路1の信号伝送路1a, 1bの途中には、分岐パッド電極4aおよび分岐コンタクト電極4cがそれぞれ一体に設けられており、分岐コンタクト電極4cの上層には、絶縁層8a(図5参照)に設けられたビアホール8bにより分岐コンタクト電極4cにコンタクトする分岐パッド電極4bが設けられている。

【0086】また、分岐路21a, 21bのペア伝送路1側の端部には、互いに対向しないように曲折したパッド電極21cおよびコンタクト電極21dが一体それぞれに設けられている。同様に、分岐路21a, 21bの端部には、互いに対向しないように曲折したパッド電極21eおよびコンタクト電極21fがそれぞれ一体に設けられている。さらに、コンタクト電極21dの上層には、ビアホールによりコンタクト電極21dにコンタクトしているパッド電極21gが設けられている。同様に、コンタクト電極21fの上層には、ビアホールによりコンタクト電極21fにコンタクトしているパッド電極21hが設けられている。

【0087】そして、分岐抵抗20a, 20bのチップは、ペア信号伝送路1の途中に設けた分岐パッド電極4a, 4b、およびペア分岐路21のパッド電極21c, 21gにそれぞれフリップチップボンディング(図6の場合)またはワイヤボンディングされている。同様に、レシーバ回路5を含むレシーバチップ10は、パッド電極21e, 21hに、それぞれフリップチップボンディングまたはワイヤボンディング(図6の場合)されている。

【0088】実施の形態1の信号伝送バスシステムの特徴であるドライバ回路3およびレシーバ回路5の詳細について以下に説明する。

【0089】まず、ドライバ回路3において、ノイズ消去抵抗16は、反射ノイズを吸収するために設けることが望ましい。分岐レシーバユニットの入力インピーダンス(ペア伝送路1の分岐端から見たインピーダンス)は、高インピーダンスであるため、上記の分岐端において、多少の反射が起り、ペア信号伝送路1に供給された相補信号のエネルギーの内多少は、上記の分岐端で反射され、ドライバ回路3側に戻る。つまり、上記に分岐端において、ドライバ回路3側に戻る多少の反射ノイズが発生する。ノイズ消去抵抗16は、上記の反射ノイズをペア伝送路1のドライバ回路3側の端部で吸収し、上記ノイズによる多重反射を減衰するために設けられて

いる。このノイズ消去抵抗16の抵抗値は、ペア信号伝送路1の特性インピーダンスのおよそ10倍が適当である。例えば、ペア信号伝送路1の特性インピーダンスが15[Ω]であれば、ノイズ消去抵抗16の抵抗値を150[Ω]にする。なお、ノイズ消去抵抗を省略することも可能である。

【0090】シリーズ抵抗17, 18は、ドライバ回路3に供給する電力を調整するために設けることが望ましい。シリーズ抵抗17, 18の抵抗値は、例えばレシーバ回路5が相補信号を感知できる範囲内でドライバ回路3の消費電力が最小になる値にする。なお、シリーズ抵抗17のみまたはシリーズ抵抗18のみを設ける、あるいはシリーズ抵抗17および18を省略することも可能である。

【0091】ドライバ回路3においては、ドライバトランジスタ13, 14により構成される、送信入力信号TSに従ってペア信号伝送路1に断続的に相補信号を供給する手段のみならず、ショートトランジスタ15からなる、送信入力信号TSに従ってペア信号伝送路1をバイパスする電流経路を、断続的かつ上記相補信号の供給とは相反的に形成する手段が不可欠である。この理由について以下に説明する。

【0092】電源V_uはドライバ回路3を含む数多くの回路に電力を供給するものであり、グランドGNDは上記数多くの回路に基準電位を供給するものである。そして、電源V_uと上記数多くの回路を接続する電源ライン、およびグランドGNDと上記数多くの回路を接続するグランドラインは、それぞれ網目のネットワークを構成している。

【0093】ショートトランジスタ15がない場合には、送信入力信号TSがハイレベルからローレベルに変化すると、ドライバ回路3の電源端子E₁—グランド端子E₂間に高インピーダンスに変化する。電源ライン6aおよびグランドライン6bも伝送路であるため、端子E₁—E₂間に高インピーダンスに変化すると、端子E₁およびE₂は全反射端となり、全反射のエネルギーが電源V_uおよびグランドGNDに戻っていく。この全反射のエネルギーは上記ネットワークの節目節目において多重反射し、これにより電源/グランドの揺らぎを誘発させる。

【0094】ショートトランジスタ15は、ドライバトランジスタ13, 14がオフするときにオンし、端子E₁, E₂間にペア伝送路1をバイパスする電流経路を形成することにより、ドライバトランジスタ13, 14がオフしたときに端子E₁, E₂間に高インピーダンスにならないようとする。これにより、ドライバ回路3の端子E₁, E₂でのエネルギーの全反射による電源/グランドの揺らぎを回避することができる。

【0095】また、ドライバ回路3のトランジスタのスイッチングのときに、端子E₁—E₂間に瞬時に低インピ

ーダンスになると、コモンモードノイズが発生し、これにより電源／グランドの揺らぎを誘発させる。ショートトランジスタ15は、ドライブトランジスタ13, 14、ペア信号伝送路1、および終端抵抗2からなる伝送回路に並列に設けられているため、ドライブトランジスタ13, 14のスイッチングのときに、上記伝送回路のインピーダンスの動的変化を、ショートトランジスタ15のインピーダンスの動的変化により相殺し、トランジスタのスイッチング期間において端子E₁—E₂間のインピーダンスが瞬時に低い値に変動しないようになることが可能である。これにより、コモンモードノイズによる電源／グランドの揺らぎを回避することができる。

【0096】以下に、ショートトランジスタ15のオン抵抗値の最適条件について説明する。ショートトランジスタ15のオン抵抗値は、ドライブトランジスタ13のオン抵抗値と、終端抵抗2の抵抗値と、ドライブトランジスタ14の抵抗値との合計に等しいことが望ましい。例えば、ドライブトランジスタ13, 14のオン抵抗値をともに15[Ω]、終端抵抗2の抵抗値を15[Ω]とすると、ショートトランジスタ15のオン抵抗値は、

$$15 + 15 + 15 = 45 [\Omega]$$

であることが望ましい。

【0097】このようにすると、電源／グランドから見た終端が、ペア信号伝送路1の端部（終端抵抗2の位置）にあるか、ドライバ回路3内にあるかの違いがあるのみで、トランジスタのスイッチング期間も含め、電源／グランド（端子E₁, E₂）から見たドライバ回路3のインピーダンスは常に不变であり、電源ライン6a—ドライバ回路3—グランドライン6b間には、瞬時変化のない直流通電流（定電流）のみが常に流れていることになる。

【0098】次に、レシーバ回路5において、差動アンプ22は、図4のように、pMOSトランジスタp₁, p₂, p₃と、nMOSトランジスタn₀, n₁, n₂, n₃とを有する。図4において、I₀はトランジスタn₀に流れる定電流であり、I₁はトランジスタp₁およびn₁に流れる電流であり、I₂はトランジスタp₂およびn₂に流れる電流である。電流I₁およびI₂は、端子I_{N1}, I_{N2}に入力される伝送信号電圧に応じて変化する。

【0099】この差動アンプ22は、伝送信号の「0」または「1」のいずれかを表現する相補信号が入力されたか否かを感知することにより、伝送信号が「0」であるか「1」であるかを検知するためのものであり、入力された伝送信号電圧を増幅し、伝送信号に応じた受信出力信号電圧V₂を出力端子OUTに出力する。相補信号が入力されたか否かを感知することができるためには、分岐された相補信号の僅かなエネルギーを感知することができる感度を有することが要求される。

【0100】差動アンプ22の内部構成は、従来の差動アンプと同じであるが、ペア信号伝送路1から分岐され

た相補信号の僅かなエネルギーを感知するために留意することを中心に、差動アンプ22について以下に説明する。

【0101】差動アンプ22において、トランジスタp₁, p₂, n₀, n₁, n₂は、差動増幅部を構成している。トランジスタp₁とn₀、トランジスタp₂とn₂は、それぞれ直列に接続されている。トランジスタp₁およびp₂のソース電極は、電源ラインまたは電源パターンを介して電源Vddに接続されており、トランジスタn₀およびn₂のソース電極は、トランジスタn₀のドレイン電極に接続されている。トランジスタn₀のソース電極は、グランドラインまたはグランドパターンを介してグランドGNDに接続されている。また、トランジスタp₁およびp₂のゲート電極は、トランジスタp₂のドレイン電極（トランジスタn₂のドレイン電極）に接続されている。トランジスタn₁およびn₃のゲート電極は、入力端子I_{N1}, I_{N2}にそれぞれ接続されており、トランジスタp₃およびn₃のドレイン電極は、出力端子OUTに接続されている。

【0102】また、差動アンプ22において、トランジスタp₃およびn₃は、電流設定部を構成している。トランジスタp₃およびn₃は、直列に接続されている。トランジスタp₃のソース電極は、電源ラインまたは電源パターンを介して電源Vddに接続されている。トランジスタn₃のソース電極およびトランジスタp₃のゲート電極は、グランドラインまたはグランドパターンを介してグランドGNDに接続されている。トランジスタp₃のドレイン電極、ならびにトランジスタn₃のゲート電極およびドレイン電極は、差動増幅部のトランジスタn₀のゲート電極に接続されている。

【0103】上記の電流設定部は、差動増幅部の定電流I₀を制御するためのトランジスタn₀のゲート電圧を、トランジスタn₀のしきい値電圧近くの安定なものとするために設けられている。電流設定部のトランジスタp₃の相互コンダクタンスg₀₃がトランジスタn₃の相互コンダクタンスよりも小さければ、トランジスタn₃のゲート電圧V₃は、トランジスタn₃のしきい値電圧に近くなる。このゲート電圧V₃は、トランジスタn₀のゲート電圧であるから、トランジスタn₀のしきい値電圧がトランジスタn₃のしきい値電圧と一致していれば、トランジスタn₀のゲート電圧は、トランジスタn₀のしきい値電圧近くの安定なものとなる。この場合に、トランジスタp₃の相互コンダクタンスg₀₃を制御することにより、差動増幅部の定電流I₀の値を制御することが可能である。定電流I₀の値をできるだけ小さくし、消費電力を小さくするために、上記の相互コンダクタンスg₀₃は、できるだけ小さな値にする。

【0104】上記の差動増幅部は、入力された伝送信号電圧を増幅し、伝送信号に応じた受信信号電圧V₂を出力端子OUTに出力する。この差動増幅部において、ト

ランジスタ p_1 と p_2 の特性、およびトランジスタ n_1 と n_2 の特性、特にトランジスタ p_1 と p_2 の相互コンダクタンス、およびトランジスタ n_1 と n_2 の相互コンダクタンスは、ほぼ一致していることが必要である。これにより、入力される伝送信号電圧に応じた電流 I_1 および I_2 を流すことができ、 $I_1 + I_2 = I_0$ を維持することができる。

【0105】入力端子 I_{N1} は分岐部 4 を介して信号伝送路 1a に接続されており、入力端子 I_{N2} は分岐部 4 を介して信号伝送路 1b に接続されている。ドライバ回路 3 が相補信号をペア信号伝送路 1 に供給するとき、信号伝送路 1a は電源ライン 6a からのプラス電荷を伝送する伝送路であり、信号伝送路 1b はグランドライン 6b からのマイナス電荷を伝送する伝送路である。従って、相補信号が供給されているときには、信号伝送路 1a の電位は、信号伝送路 1b の電位よりも高くなる。これにより、相補信号が供給されているときには、入力端子 I_{N1} の電位（トランジスタ n_1 のゲート電圧）は、入力端子 I_{N2} の電位（トランジスタ n_2 のゲート電圧）よりも高くなり、出力端子 OUT の受信出力信号電圧（トランジスタ n_2 のドレイン電圧） V_2 は、トランジスタ n_1 のドレイン電圧 V_1 よりも高くなる。さらに、コモンモードノイズによりペア信号伝送路 1 上の相補信号にバイアスがかかった場合にも、信号伝送路 1a の電位は、信号伝送路 1b の電位よりも高く保持される。また、相補信号が供給されていないときは、入力端子 I_{N1} および I_{N2} の入力容量にチャージされた電荷が全て放電されたあとであれば、 $V_2 - V_1 = 0$ となる。このように、実施の形態 1 の信号伝送バスシステムでは、相補信号を供給するか否かにより伝送信号の「0」、「1」を表現するため（図 22 の従来の信号伝送バスシステムのように相補信号の反転により「0」、「1」を表現するものではないため）、常に $V_2 - V_1 \geq 0$ が保持される。

【0106】トランジスタ n_1 の抵抗値を R_{n1} 、トランジスタ n_2 の抵抗値を R_{n2} とすると、トランジスタ n_1 および n_2 の合成相互コンダクタンス g_{n12} は、

$$g_{n12} = 1 / (R_{n1} + R_{n2})$$

となる。また、トランジスタ p_1 および p_2 の抵抗値を、ともに R_p とすると、差動アンプ 22 の電圧増幅率 G は、

$$G_v = g_{n12} \times R_p$$

$$= R_p / (R_{n1} + R_{n2})$$

となる。トランジスタ p_1 および p_2 の抵抗値 R_p は、 $V_2 - V_1$ が増大するほど（ V_2 が大きくなるほど）大きくなるため、電圧増幅率 G は、 $V_2 - V_1$ が増大するほど大きくなる。相補信号が入力されると、 $V_2 - V_1$ が増大するため、電圧増幅率 G は、相補信号が入力されていないときよりも増大する。このように、相補信号が入力されたときに電圧増幅率 G が増大することは、分岐された相補信号の僅かなエネルギーを感知するのに望ましいこ

とである。

【0107】また、差動アンプ 22 のダイナミックレンジ $V_2 - V_1$ は、

$$V_2 - V_1 = (I_0 / 1000)^{1/2}$$

であり、定電流 I_0 を大きくするほど、大きくなる。しかし、定電流 I_0 を大きくすると消費電力が大きくなるため、定電流 I_0 をやたらに大きくすることは望ましくない。従って、相補信号電圧を感知できる範囲で、トランジスタ p_1 の相互コンダクタンスを適正化することにより定電流 I_0 の値をできるだけ小さくする。

【0108】なお、受信出力信号電圧 V_2 は、やや高い側にシフトしているため、適当にレベルシフタを挿入し、さらに CMOS レベル補正回路を挿入しても良い。また、増幅利得が得られる範囲において、トランジスタ p_1 、 p_2 のゲート電極をグランド GND に接続する構造としても良い。

【0109】先に説明したように、ペア信号伝送路 1 上での相補信号のエネルギーを乱さないように、相補信号のエネルギーの僅かな一部を分岐するためには、ペア信号伝送路 1 の分岐端に直流抵抗成分のみの（容量成分を 0 とみなせる）高インピーダンス手段を設けることが条件となる。上記の高インピーダンス手段が容量成分を含まないことにより、ペア信号伝送路 1 上の相補信号の分岐端での波形変形をなくすことができる。また、上記の高インピーダンス手段が、高抵抗であることにより、ペア信号伝送路 1 上の相補信号の分岐端での反射および減衰を小さくすることができる。また、分岐レシーバユニットを複数個設ける場合には、全分岐レシーバユニットによる分岐される相補信号のエネルギーの合計を、ペア信号伝送路 1 に供給された相補信号のエネルギーの内の、例えば 10 [%] 以下にすることも上記の条件となる。上記の波形変形、反射、減衰は、ペア伝送路 1 の途中に分岐レシーバユニットを複数個設ける場合に、特に問題になる。

【0110】レシーバ回路 5 のような、MOS トランジスタの差動アンプによるレシーバ回路では、入力容量は MOS トランジスタのゲート容量およびその周辺の寄生容量であり、この入力容量が 0 とみなせるレシーバ回路（例えば、入力容量が 0.05 [pF] 以下のレシーバ回路）を実現するのは困難である。このため、ペア信号伝送路 1 の分岐端に、抵抗値 0.4 [kΩ] 以上の純抵抗からなる分岐抵抗 20a、20b を設けている。

【0111】例えば、信号伝送路 1a、1b の特性インピーダンスを 15 [Ω]、分岐抵抗 20a、20b の抵抗値を 1 [kΩ] とすると、1 個の分岐レシーバユニットには、ペア信号伝送路 1 上の相補信号のエネルギーの内、

$$15 [\Omega] / (1 [k\Omega] + 15 [\Omega]) = 1.5 [%]$$

が分岐され、ペア信号伝送路 1 上の相補信号のエネルギー

は、供給されたときの 98.5 [%] に減衰する。分岐される全エネルギーを供給されたエネルギーの 10 [%] 以下にするには、分岐レシーバユニットの個数を 6 個以下にする必要がある。

【0112】また、分岐抵抗 20a, 20b の抵抗値を 5 [kΩ] とすると、1 個の分岐レシーバユニットには、ペア信号伝送路 1 上の相補信号のエネルギーの内、
 $15 [\Omega] / (5 [k\Omega] + 15 [\Omega]) = 0.3$
 [%]

が分岐される。この場合、分岐される全エネルギーを供給されたエネルギーの 10 [%] 以下にするには、分岐レシーバユニットの個数を 33 個以下にする必要がある。

【0113】レシーバ回路 5 の特徴である終端トランジスタ 23 は、レシーバ回路 5 の入力端子 IN₁, IN₂ 間 (従って、差動アンプ 22 の差動入力端子間) を終端する pMOS トランジスタである。終端トランジスタ 23 のソース電極およびドレイン電極は、それぞれ入力端子 IN₁, IN₂ に接続され、終端トランジスタ 23 のゲート電極は、グランドラインあるいはグランドパターンを介し、グランド GND に接続されている。

【0114】なお、終端トランジスタ 23 は、入力端子 IN₁, IN₂ 間を終端する nMOS トランジスタでも良い。この nMOS トランジスタのゲート電極は、電源ラインあるいは電源パターンを介し、電源 Vdd に接続される。

【0115】終端トランジスタ 23 を設ける理由およびその機能について以下に説明する。ドライバ回路 3 は、入力された送信信号に従ってペア信号伝送路 1 に相補信号を供給したまは供給を停止するものである。このため、ペア信号伝送路 1 に相補信号が供給されると、レシーバ回路 5 の入力端子 IN₁ の入力容量 (トランジスタ n₁ のゲート容量およびその周辺の寄生容量) は、信号伝送路 1a から分岐されたプラス電荷によりチャージされ、入力端子 IN₂ の入力容量 (トランジスタ n₂ のゲート容量およびその周辺の寄生容量) は、信号伝送路 1b から分岐されたマイナス電荷によりチャージされる。

【0116】相補信号の供給が停止され、ペア信号伝送路 1 がペア電源/グランドライン 6 (図 1 参照) から切り離されたときには、レシーバ回路 5 は、上記入力容量にチャージされた電荷を、ドライバ回路 3 に入力された送信信号のパルスの立ち下がり時間と同じ程度の時間で、速やかに放電する必要がある。この速やかな放電が可能でないと、レシーバ回路 5 は、相補信号の供給が停止されたことを (伝送信号の値が変化したことを) 感知することができなくなる。しかし、分岐抵抗 20a, 20b の抵抗値は、例えば 1 [kΩ] と大きいため、差動アンプのみからなる従来のレシーバ回路では、上記の放電に時間がかかるてしまう。

【0117】そこで、レシーバ回路 5 では、入力端子 IN₁, IN₂ 間を終端トランジスタ 23 により終端し、こ

の終端トランジスタ 23 を介して上記入力容量にチャージされた電荷を速やかに放電できるようにしている。

【0118】数 [GHz] の高速ディジタル信号のパルス立ち下がり時間と同じ程度の時間で、上記入力容量にチャージされた電荷を速やかに放電させるための終端トランジスタ 23 の条件について以下に説明する。まず、終端トランジスタ 23 の遮断周波数は、60 [GHz] 以上であることが望ましい。さらに、上記の入力容量を 5 [pF] とすると、終端トランジスタ 23 の抵抗値は、20 [Ω] 以下であることが望ましい。また、上記の入力容量を 2 [pF] とすると、終端トランジスタ 23 の抵抗値は、50 [Ω] 以下であることが望ましい。つまり、終端トランジスタ 23 の抵抗値は、上記の入力容量との時定数が 100 [ps] 以下になる値であることが望ましい。

【0119】なお、終端トランジスタ 23 の抵抗値は、ペア分岐路 21 の特性インピーダンスに整合していることが望ましいが、終端トランジスタ 23 の抵抗値は、変化するため、整合させるのは困難である。ペア分岐路 21 が短ければ、終端トランジスタ 23 の抵抗値は、ペア分岐路 21 の特性インピーダンスと必ずしも整合する必要はない。

【0120】実施の形態 1 の伝送システムの信号伝送動作について以下に説明する。以下の説明では、送信入力信号 TS のパルス周波数、従って伝送信号の周波数を、数 [GHz] とする。また、電源 Vdd の電圧値を 1.0 [V]、シリーズ抵抗 17, 18 の抵抗値をそれぞれ 100 [Ω]、信号伝送路 1a, 1b の特性インピーダンスをそれぞれ 15 [Ω]、終端抵抗 2 の抵抗値を 15 [Ω]、ドライバトランジスタ 13, 14 のオン抵抗値をそれぞれ 15 [Ω]、ショートトランジスタ 15 のオン抵抗値 45 [Ω] とする。これらの条件は、実施の形態 1 の信号伝送バスシステムにおいて、数 [GHz] の高速ディジタル信号を伝送するのに望ましい条件の一例である。

【0121】まず、送信入力信号 TS がローレベルからハイレベルに変化すると、ドライバ回路 3 は、ドライバトランジスタ 13, 14 をターンオンさせるとともに、ショートトランジスタ 15 をターンオフさせる。ショートトランジスタ 15 のターンオフにより、ペア信号伝送路 1 をバイパスする電流経路が遮断される。また、ドライバトランジスタ 13, 14 のターンオンにより、ペア信号伝送路 1 の電流経路 (ドライバトランジスタ 13、信号伝送路 1a、終端抵抗 2、信号伝送路 1b、およびドライバトランジスタ 14 による電流経路) が形成される。これにより、電源ライン 6a からペア信号伝送路 1 の電流経路に電流が供給され、ペア信号伝送路 1 の電流経路からグランドライン 6b に電流が流れ込み (言い換えると、電源ライン 6a から信号伝送路 1a にプラス電荷が供給されるとともに、グランドライン 6b から信号

伝送路 1 b にマイナス電荷が供給され）、ペア信号伝送路 1 に対する相補信号の供給が開始される。

【0122】相補信号の供給を開始するためのドライバトランジスタ 13, 14、およびショートトランジスタ 15 のスイッチング期間（この伝送信号が相補信号の供給停止から供給に遷移するのを、以下単に第 1 の遷移と称する）において、ドライバトランジスタ 13, 14、ペア伝送路 1 、および終端抵抗 1 からなる伝送回路の抵抗値の減少を補うように、ショートトランジスタ 15 の抵抗値が増加する。このため、上記のスイッチング期間において、上記伝送回路と、この伝送回路に並列に設けられたショートトランジスタ 15 との動的な合成抵抗値の変化は、ほとんどない。従って、伝送信号の第 1 の遷移期間において、電源／グランドから見た（端子 E₁, E₂ から見た）ドライバ回路 3 のインピーダンス変化はほとんどなく、ドライバ回路 3 は電源／グランドから見て直流回路のように動作する。つまり、伝送信号の第 1 の遷移期間において、電源ライン 6 からドライバ回路 3 に供給される電流（プラス電荷の流れ）、およびドライバ回路 3 からグランドライン 6 b に流れ込む電流（グランドライン 6 b からドライバ回路 3 に供給されるマイナス電荷の流れ）は、ほとんど変化しない。

【0123】ドライバ回路 3 からペア信号伝送路 1 に供給された相補信号は、ペア信号伝送路 1 を終端抵抗 2 側に進行し、分岐部 4 に到達し、やがて終端抵抗 2 側の端部に達する。信号伝送路 1 上を進行する相補信号のエネルギーの内の僅かな一部が分岐部 4 において分岐レシーバユニットに分岐され、上記相補信号の大部分のエネルギーは、終端抵抗 2 側の端部に達する。つまり、プラス電荷の流れが信号伝送路 1 a 上をドライバ回路 3 側から終端抵抗 2 側に伝播し、上記プラス電荷の流れの僅かな一部が分岐抵抗 20 a により分岐レシーバユニットに分岐され、上記プラス電荷の流れの大部分は、終端抵抗 2 に達する。また、マイナス電荷の流れが信号伝送路 1 b 上をドライバ回路 3 側から終端抵抗 2 に伝播し、上記マイナス電荷の流れの僅かな一部が分岐抵抗 20 b により分岐レシーバユニットに分岐され、上記マイナス電荷の流れの大部分は、終端抵抗 2 側の端部に達する。

【0124】ペア信号伝送路 1 の終端抵抗 2 側の端部は、整合端になっているため、終端抵抗 2 側の端部に達した相補信号のエネルギーは、反射されることなく、全て終端抵抗 2 に入力され、終端抵抗 2 において熱となって消費され、消滅する。

【0125】ペア分岐抵抗 20 によりレシーバユニットに分岐された相補信号は、ペア分岐路 21 上を進行し、レシーバ回路 5 に入力される。つまり、分岐されたプラス電荷の流れが、分岐路 21 a 上を伝播し、レシーバ回路 5 の入力端子 I_{N1} に入力され、入力端子 I_{N1} の入力容量をチャージする。また、分岐されたマイナス電荷の流れが、分岐路 21 b 上を伝播し、レシーバ回路 5 の入

力端子 I_{N2} に入力され、入力端子 I_{N2} の入力容量をチャージする。レシーバ回路 5 の差動アンプ 22 は、入力端子 I_{N1}, I_{N2} 間の伝送信号（相補信号電圧）を感じて増幅し、出力端子 OUT に上記の伝送信号に応じた受信出力信号 R_S を出力する。なお、このとき、入力端子 I_{N1}, I_{N2} 間の相補信号電圧に応じた電流が終端トランジスタ 23 に流れる。

【0126】次に、送信入力信号 T_S がハイレベルからローレベルに変化すると、ドライバ回路 3 は、ドライバトランジスタ 13, 14 はターンオフさせるとともに、ショートトランジスタ 15 をターンオンさせる。ドライバトランジスタ 13, 14 のターンオフにより、ペア信号伝送路 1 の電流経路は遮断され、ペア信号伝送路 1 に対する相補信号の供給が停止する。また、ショートトランジスタ 15 をターンオンにより、ペア信号伝送路 1 をバイパスする電流経路が形成され、電源ライン 6 a から上記のバイパス電流経路に電流が供給され、上記のバイパス電流経路からグランドライン 6 b に電流が流れ込む。

【0127】相補信号の供給を停止するためのドライバトランジスタ 13, 14、およびショートトランジスタ 15 のスイッチング期間（この伝送信号が相補信号の供給から供給停止に遷移するのを、以下単に第 2 の遷移と称する）において、ドライバトランジスタ 13, 14、ペア伝送路 1 、および終端抵抗 1 からなる伝送回路の抵抗値の増加を補うように、ショートトランジスタ 15 の抵抗値が減少する。このため、伝送信号の第 2 の遷移期間においても、上記第 1 遷移期間と同じように、上記伝送回路と、この伝送回路に並列に設けられたショートトランジスタ 15 との動的な合成抵抗値の変化は、ほとんどない。従って、伝送信号の第 2 の遷移期間においても、電源／グランドから見た（端子 E₁, E₂ から見た）ドライバ回路 3 のインピーダンス変化はほとんどなく、ドライバ回路 3 は電源／グランドから見て直流回路のように動作する。つまり、伝送信号の第 2 の遷移期間においても、電源ライン 6 からドライバ回路 3 に供給される電流（プラス電荷の流れ）、およびドライバ回路 3 からグランドライン 6 b に流れ込む電流（グランドライン 6 b からドライバ回路 3 に供給されるマイナス電荷の流れ）は、ほとんど変化しない。

【0128】この実施の形態 1 の信号伝送バスシステムでは、ショートトランジスタ 15 のオン抵抗値を、ドライバトランジスタ 13, 14 のオン抵抗値と、終端抵抗 2 の抵抗値の合計に等しくなるようにしている。このため、ペア信号伝送路 1 に相補信号を供給している期間と、相補信号の供給を停止している期間とにおいて、電源／グランドから見たドライバ回路 3 のインピーダンスは同じである。

【0129】従って、ドライバ回路 3 は、伝送信号の遷移期間（第 1 の遷移期間および第 2 の遷移期間）を含

め、常に直流回路のように動作するため、ペア電源ライン6にコモンモードノイズが発生するのを防止することができ、従って電源／グランドの揺らぎを誘発することもない。

【0130】図7は本発明の実施の形態1のドライバ回路3と従来のカレントスイッチ型ドライバ回路(図22のドライバ回路203参照)の信号伝送時の電源／グランドから見たインピーダンス変化を描いた図である。図7において、(a)は本発明のドライバ回路3のインピーダンス変化であり、(b)は従来のカレントスイッチ型ドライバ回路のインピーダンス変化である。なお、図7は上記のインピーダンス変化をあくまでも模式的に描いた図であり、厳密な図ではない。また、図7(b)での遷移期間は、図22のトランジスタQ₁～Q₄をスイッチングさせ、伝送信号(相補信号電流)を反転させる期間である。

【0131】従来のカレントスイッチ型ドライバ回路においては、伝送信号の遷移期間において、電源／グランドから見たインピーダンスが図7(b)のB₁、B₂のように小さな値に瞬時変動してしまい、これにより貫通電流が瞬時に流れ、電源グランドラインにコモンモードノイズが発生する。カレントスイッチ型ドライバ回路は、トランジスタQ₁、Q₂からなる直列回路と、トランジスタQ₃、Q₄からなる直列回路とを並列に設けた構成であり(図22参照)、トランジスタQ₁、Q₄がターンオンするとき、トランジスタQ₂、Q₃はターンオフし、トランジスタQ₁、Q₄がターンオフするとき、トランジスタQ₂、Q₃はターンオンする。従って、遷移期間でのそれぞれの直列回路のインピーダンス変化はほぼ同じであり、最初に減少し、その後増加して遷移前の値に戻る。このため、上記2個の直列回路を並列に配置したドライバ回路のインピーダンスも、瞬時変動してしまうのである。

【0132】これに対し、本発明のドライバ回路3は、ドライバトランジスタ13、14、ペア信号伝送路1、および終端抵抗からなる伝送回路に並列に、ショートトランジスタ15を設けた構成であり、第1の遷移期間において、ドライバトランジスタ13、14がターンオンするとき、ショートトランジスタ15はターンオフし、第2の遷移期間において、ドライバトランジスタ13、14がターンオフするとき、ショートトランジスタ15はターンオンする。第1の遷移期間においては、ドライバトランジスタ13、14の抵抗値は、高抵抗からオノ抵抗値に減少し、ショートトランジスタ15の抵抗値は、オノ抵抗値から高抵抗に増加する。また、第2の遷移期間においては、ドライバトランジスタ13、14の抵抗値は、オノ抵抗値から高抵抗に増加し、ショートトランジスタ15の抵抗値は、高抵抗からオノ抵抗値に減少する。従って、第1の遷移期間においては、上記の伝送回路のインピーダンスの減少変化を補うようにショ-

トランジスタ15のインピーダンスが増加し、第2の遷移期間においては、上記の伝送回路のインピーダンスの増加変化を補うようにショートトランジスタ15のインピーダンスが減少する、このため、本発明のドライバ回路3では、図7(a)のように、遷移期間においても電源／グランドから見たインピーダンスが変動せず、相補信号を供給している期間、および相補信号の供給を停止している期間のインピーダンスと同じになる。

【0133】相補信号の供給が停止され、ペア信号伝送路1の電流経路が遮断されると、ペア信号伝送路1は、電源／グランドに対し、フローティングとなる。ペア信号伝送路1の電流経路が遮断される直前に信号伝送路1aに供給されたプラス電荷および信号伝送路1bに供給されていたマイナス電荷が瞬時に終端抵抗2に達して消滅したあとは、信号伝送路1aおよび1bの電位は同じになる。ただし、信号伝送路1aおよび1bの電位値は、電源電圧の1/2になるのではなく、ペア信号伝送路1の電流経路が遮断されるごとに異なるものとなる。これは、プラス電荷およびマイナス電荷が、瞬時値としては、波動のように供給されることによる。

【0134】また、相補信号の供給が停止され、ペア信号伝送路1がフローティングとなると、レシーバ回路5の入力端子IN₁、IN₂の入力容量にチャージされたプラス電荷およびマイナス電荷は、終端トランジスタ23が形成する電流経路により、速やかに放電する。これにより、ドライバ回路5の入力端子IN₁、IN₂は、相補信号の供給が停止されると、速やかに同電位になる。レシーバ回路5の差動アンプ22は、入力端子IN₁、IN₂間の伝送信号(相補信号電圧)が0になったことを感知し、出力端子OUTに上記の伝送信号に応じた受信出力信号RSを出力する。

【0135】このように、相補信号の供給が停止され、ペア信号伝送路1がフローティングになったときに、レシーバ回路5の入力端子IN₁、IN₂間に設けた終端トランジスタ23により、入力端子IN₁、IN₂の入力容量をチャージしていた電荷を速やかに放電せることにより、レシーバ回路5は、伝送信号が遷移したこと(相補信号の供給が停止されたこと)を速やかに検知することができる。

【0136】以上のように実施の形態1によれば、送信入力信号TSがハイレベルのときオンしてペア信号伝送路1に相補信号を供給する電流経路を形成し、送信入力信号TSがローレベルのときオフして相補信号の供給を停止するドライバトランジスタ13、14と、上記相補信号を供給する電流経路に並列に設けられ、送信入力信号TSがローレベルのときオンして上記相補信号を供給する電流経路をバイパスする電流経路を形成し、送信入力信号TSがハイレベルのときオフして上記バイパスする電流経路を遮断するショートトランジスタ15によりドライバ回路3を構成し、ショートトランジスタ15

のオン抵抗値を、ドライバトランジスタ13, 14のオン抵抗値と、信号伝送路1a, 1bの直流抵抗値と、終端抵抗2の抵抗値との合計に等しくしたことにより、送信入力信号TSがハイレベルおよびローレベルである期間ならびに送信入力信号TSの変化期間において常に、電源/グランドから見たドライバ回路3のインピーダンスを不变にすることができる、ドライバ回路3を直流回路のように動作させることができるために、パソコンに頼らずに、送信入力信号TSが変化するときのコモンモードノイズおよび少量のディファレンシャルモードノイズの発生を抑え、コモンモードノイズによる電源/グランドの揺れを抑えることができる。これにより、電源/グランドの揺れに誘発される寄生キャパシタンスによる共振を低減することができるため、パソコンに頼らずにEMIの発生のない高速伝送を可能にすことができる。また、従来のようにパソコンをドライバ回路の側面に設ける必要がなく、埋め込み型のパソコンを用いる必要がないため、パソコンの設置位置および寄生インダクタンス等の自由度を大きくすることができる。

【0137】また、レシーバ回路5の入力端子IN₁, IN₂間に終端トランジスタ23を設けたことにより、分岐抵抗20a, 20bを介して分岐された相補信号によりレシーバ回路5の入力容量がチャージされたあと、相補信号の供給が停止されたときに、上記入力容量にチャージされた電荷を終端トランジスタ23を介して速やかに放電することができるため、相補信号が入力されているか否かを速やかに感知することができ、これにより周波数の高い伝送信号を感知することができる。

【0138】また、ペア信号伝送路1の途中の分岐端にペア分岐抵抗20を設けたことにより、相補信号のペア信号伝送路1上でのエネルギーを乱さないようにペア信号伝送路1の途中から相補信号を分岐することができる。

【0139】また、ペア伝送路（ペア信号伝送路1、ペア電源/グランドライン6、ペア分岐路21）を並列等長配置構造したことにより、ペア伝送路を構成する伝送路の寄生インダクタンスを相殺することができ、リアクタンスのないペア伝送路を構成することができるため、伝送路の電磁的乱れを防止することができる。

【0140】また、ドライバ回路3の端子D₁, D₂間にノイズ消去抵抗を設けたことにより、ペア信号伝送路1からの僅かな反射ノイズを吸収することができ、ペア信号伝送路1でのノイズの多重反射を低減するとともに、反射ノイズがドライバ回路3に入力されないようにすることができる。

【0141】また、パソコン7を設けたことにより、他の回路で発生した電磁ノイズがペア電源/グランドライン6に与える影響を低減することができる。

【0142】また、ドライバ回路3にシリーズ抵抗17, 18を設けたことにより、ドライバ回路3の消費電力を低減することができる。

【0143】なお、上記実施の形態1では、分岐レシーバユニットを、ペア分岐抵抗20およびペア伝送路21を介してレシーバ回路5をペア信号伝送路1の途中に接続する構造としたが、分岐レシーバユニットにペア伝送路21を設けずに、ペア分岐抵抗20のみを介してレシーバ回路5をペア信号伝送路1の途中に接続する構造としても良い。

【0144】さらに、高入力抵抗（例えば、10 [kΩ]）、かつ0とみなせる入力容量（例えば、0.05 [pF]以下）のレシーバ回路を実現できれば、分岐レシーバユニットは、図8のように、上記高入力抵抗かつ0とみなせる入力容量のレシーバ回路25をペア信号伝送路1の途中に、直接接続する構造としても良い。上記のレシーバ回路であれば、ペア信号伝送路1の途中に直接接続しても、ペア信号伝送路1上での相補信号のエネルギーをほとんど乱すことはないため、ペア分岐抵抗20は不要となる。

【0145】図8の高入力抵抗かつ0とみなせる入力容量のレシーバ回路25は、差動アンプ22（図4参照）のみからなる構造で良く、上記実施の形態1のレシーバ回路5のように、終端トランジスタ23（図4参照）を必要としない。レシーバ回路25をペア信号伝送路1の途中に直接接続するための分岐部26の構造は、例えば図9のようになる。図9において、分岐部26は、分岐パッド電極26a, 26bと、分岐コンタクト電極26cとを有する。ペア信号伝送路1の信号伝送路1a, 1bの途中には、分岐パッド電極26aおよび分岐コンタクト電極26cがそれぞれ一体に設けられており、分岐コンタクト電極4cの上層には、絶縁層8aに設けられたビアホール8bにより分岐コンタクト電極26cにコンタクトする分岐パッド電極26bが設けられている。そして、レシーバ回路25を含むレシーバチップは、パッド電極26a, 26bに、それぞれフリップチップボンディングまたはワイヤボンディングされる。

【0146】また、上記実施の形態1の信号伝送バスシステムにおいて、レシーバ回路5の入力容量にチャージされた電荷を速やかに放電させる必要がなければ、レシーバ回路5は、従来のレシーバ回路（差動アンプ22のみからなる構造）であっても良い。

【0147】また、上記実施の形態1の信号伝送バスシステムにおいて、ペア信号伝送路1、終端抵抗2、ドライバ回路3、分岐部4、およびレシーバ回路5からなるユニットを、図10のように、回路基板8上に複数個設けることも可能である。

【0148】図10の信号伝送バスシステムは、回路基板8上に、ペア信号伝送路1A, 1Bと、終端抵抗2A, 2Bと、ドライバ回路3A, 3Bを含むドライバチップ27と、分岐路21A等を有する分岐部4Aと、分岐路21B等を有する分岐部4Bと、レシーバ回路5A, 5Bを含む2個のレシーバチップ28とを設けたも

のである。添え字「A」の構成要素と、添え字「B」の構成要素とは、それぞれ別個の上記ユニットを構成している。

【0149】図10のペア信号伝送路1A, 1Bおよび分岐路21A, 21Bの構造は、例えば図11のように、回路基板8の絶縁層8aにおいて、第1層および第2層にペア信号伝送路1A, 1Bを設け、第3層および第4層(表層)にペア信号伝送路1A, 1Bを設けた4層構造とする。ペア信号伝送路1A, 1Bを構成する信号伝送路間の絶縁層8cの厚みt₁、および分岐路21A, 21Bを構成する分岐路路間の絶縁層8dの厚みt₂は、ペア信号伝送路と分岐路の間の絶縁層8eの厚みt₃よりも薄くし、それぞれのペア伝送路が互いに電磁干渉しないようにする。また、ペア信号伝送路1Aと1B、および分岐路21Aと21Bも、図2で説明したように配置し、互いに電磁干渉しないようにする。

【0150】実施の形態2

図12は本発明の実施の形態2の信号伝送バスシステムの回路図である。なお、図12において、図1と同じものには、同じ符号を付してある。この実施の形態2の信号伝送バスシステムは、ペア信号伝送路1と、終端抵抗2と、1個または複数個(図では2個)のドライバ回路3と、1個または複数個(図では2個)の分岐部30と、レシーバ回路31と、ペア電源/グランドライン6と、回路基板8とを備えている。上記実施の形態1と同じように、ドライバ回路3はドライバチップ(図1のICチップ9参照)内に設けられており、レシーバ回路31はレシーバチップ(図1のICチップ10参照)内に設けられている。

【0151】この実施の形態2の信号伝送バスシステムは、上記実施の形態1と同じように、一方向に(ドライバチップからレシーバチップにのみ)信号を伝送する信号伝送バスシステムであるが、上記実施の形態1とは逆に、レシーバ回路31をペア信号伝送路1の端部に設け、1個または複数個のドライバ回路3をペア信号伝送路1の途中に設けたものである。

【0152】分岐部30およびこれに対応するドライバ回路3は、分岐ドライバユニットを構成している。ペア信号伝送路1の途中に設けられたそれぞれの分岐ドライバユニットにおいて、ドライバ回路3には送信入力信号TSが入力される。また、分岐部30のバストランシーバ回路32には、他の回路(例えばドライバチップ)からイネーブル信号ESが入力される。複数個の分岐ドライバユニットの内、アクティブになるのはいずれか1個である。アクティブな分岐ドライバユニットに入力される送信入力信号TSは、ハイレベルまたはローレベルに変化するが、アクティブになっていない分岐ドライバユニットに入力される送信入力信号TSは、常にローレベルである。また、アクティブな分岐ドライバユニットに入力されるイネーブル信号ESは、ハイレベルであり、

アクティブになっていない分岐ドライバユニットに入力されるイネーブル信号TSは、ローレベルである。アクティブな分岐ドライバユニットのみが、送信入力信号TSに従って、相補信号をペア信号伝送路1の途中に供給し、または相補信号の供給を停止する。つまり、複数個の分岐ドライバユニットの内の1個が時分割的にアクティブになり、アクティブな分岐ドライバユニットのみが、ペア信号伝送路1に伝送信号を供給する。

【0153】分岐部30は、バストランシーバ回路32と、ペア分岐路33とを有する。バストランシーバ回路32は、nMOSトランジスタ32aおよび32bからなる。また、ペア分岐路33は、並列等長配置された分岐路33aおよび33bからなる。トランジスタ32aは、信号伝送路1aの途中の分岐端と分岐路33aの一方の端部の間に挿入されており、トランジスタ32bは、信号伝送路1bの途中の分岐端と分岐路33bの一方の端部の間に挿入されている。トランジスタ32a, 32bのゲート電極には、イネーブル信号ESが入力される。分岐路33aの他方の端部は、ドライバ回路3のドライブ端子D₁(図1参照)に接続され、分岐路33bの他方の端部は、ドライバ回路3のドライブ端子D₂(図1参照)に接続されている。

【0154】バストランシーバ回路32は、イネーブル信号ESがハイレベルになると(分岐レシーバユニットがアクティブになると)、トランジスタ32a, 32bをオンさせ、ドライバ回路3およびペア分岐路33をペア信号伝送路1の途中に接続する。また、イネーブル信号ESがローレベルになると(分岐レシーバユニットがアクティブでなくなると)、トランジスタ32a, 32bをオフさせ、ドライバ回路3およびペア分岐路33をペア信号伝送路1の途中から切り離す。これにより、アクティブな分岐ドライバユニットがペア信号伝送路1に供給した相補信号のエネルギーが、アクティブでない他の分岐ドライバユニットに分岐されたり、アクティブでない他の分岐ドライバユニットの分岐端で反射されるのを防止する。

【0155】分岐路33a, 33bの特性インピーダンスは、分岐路33からペア信号伝送路1に供給する相補信号のエネルギーがT型分岐構造の分岐端で反射されるのを防止するために、信号伝送路1a, 1bの特性インピーダンスに整合していること、つまり信号伝送路1a, 1bの特性インピーダンスの1/2であることが望ましい。ただし、トランジスタ32a, 32bのオン抵抗値は、分岐路33a, 33bの特性インピーダンスに整合しているものとする。

【0156】ドライバ回路3は、分岐部30を介してペア信号伝送路1の途中に接続されており、上記実施の形態1で説明したように、送信信号TSに従って、相補信号をペア信号伝送路1に供給する電流経路を形成するとともに、ペア信号伝送路1をバイパスする電流経路を進

断し、または相補信号を供給する電流経路を遮断とともに、ペア信号伝送路1をバイパスする電流経路を形成することにより、電源／グランドから見て常に直流回路のように動作する。ただし、ドライバ回路3のショートトランジスタ15(図1参照)のオン抵抗値は、上記実施の形態1とは異なり、ドライブトランジスタ13, 14(図1参照)のオン抵抗値と、トランジスタ32a, 32bがオンしているときにドライバ回路3のドライブ端子D₁, D₂(図1参照)から分岐部30側を見た直流抵抗値との合計にほぼ等しいことが望ましい。

【0157】レシーバ回路31は、終端抵抗2とは反対側のペア信号伝送路1の端部に設けられており、上記分岐ドライバユニットにより、ペア信号伝送路1の途中に供給される伝送信号(相補信号の供給または供給停止により「0」, 「1」を表現する信号)を感知し、感知した伝送信号に応じた受信出力信号RSを出力する。このレシーバ回路31は、例えば上記実施の形態1の差動アンプ22(図4参照)と同じ内部構造の差動アンプからなる。従って、レシーバ回路31の入力インピーダンスは、容量性のリアクタンス分と高い直流抵抗分からなる。このため、ペア信号伝送路1のレシーバ回路31側の端部は、容量性終端となり、レシーバ回路31の入力容量が多少変動しても全反射端となる。

【0158】アクティブなドライバ回路3からペア分岐路33およびバストランシーバ回路32を介してペア信号伝送路1に供給された相補信号は、分岐端がT型分岐構造であるため、レシーバ回路31側および終端抵抗2側にほぼ1/2ずつ流れる。このため、分岐路33a, 33bから見ると、信号伝送路1a, 1bの特性インピーダンスは、本当の特性インピーダンスの1/2に見える。従って、分岐路33a, 33bの特性インピーダンスが上記のように信号伝送路1a, 1bの特性インピーダンスの1/2であれば、分岐路33a, 33bは信号伝送路1a, 1bを整合する。

【0159】分岐端からペア信号伝送路1上を終端抵抗2側に進行した相補信号のエネルギーは、整合端になっている終端抵抗2側の端部に到達すると、全て終端抵抗2に入力され、消滅する。これに対し、分岐端からペア信号伝送路1上を終端抵抗2側に進行した相補信号は、全反射端になっているレシーバ回路31側の端部に到達すると、全反射し、ペア信号伝送路1上を終端抵抗2側に戻り、終端抵抗2あるいはアクティブなドライバ回路3のノイズ消去抵抗16(図1参照)に到達し、消滅する。

【0160】上記の全反射により、レシーバ回路31に入力される相補信号電圧は、ペア信号伝送路1上をレシーバ回路31側に進行してきた相補信号電圧のほぼ2倍になり、ドライバ回路3がペア分岐路33に供給した相補信号の電圧にはほぼ等しくなる。相補信号電圧が2倍になることは、レシーバ回路31には望ましいことである。

る。

【0161】このように実施の形態2によれば、送信入力信号TSに従って相補信号を供給または供給を停止し、電源／グランドから見て常に直流回路のように動作するドライバ回路3をペア信号伝送路1の途中に設けたことにより、上記実施の形態1と同じように、パソコンに頼らずに、送信入力信号TSが変化するときのコモンモードノイズおよび少量のディファレンシャルモードノイズの発生を抑え、コモンモードノイズによる電源／グランドの揺れを抑えることができるため、パソコンに頼らずにEMIの発生のない高速伝送を可能にことができる。また、パソコンの設置位置および寄生インダクタンス等の自由度を大きくすることができる。

【0162】また、分岐路33a, 33bの特性インピーダンスを信号伝送路1a, 1bの特性インピーダンスの1/2にすることにより、分岐路33をペア信号伝送路1に整合させ、ペア分岐路33からペア信号伝送路1に供給する相補信号の分岐端での反射をなくすことができる。

【0163】なお、上記実施の形態2において、レシーバ回路31の入力端子間に(ペア信号伝送路1のレシーバ回路31側の端部に)、ペア信号伝送路1に整合する終端抵抗(終端抵抗2と値の抵抗)を設けても良い。図13の信号伝送バスシステムは、図12の実施の形態2の信号伝送バスシステムにおいて、差動アンプからなるレシーバ回路31を、差動アンプ36と、ペア信号伝送路1に整合する終端抵抗37とを有するレシーバ回路35にしたものである。終端抵抗37は、差動アンプ36の差動入力端子間(ペア信号伝送路1のレシーバ回路35側の端部)に挿入されている。

【0164】図13の信号伝送バスシステムでは、ペア信号伝送路1のレシーバ回路35側の端部で反射が起こらず、レシーバ35に達した相補信号は、全て終端抵抗37において消滅する。これにより、レシーバ回路端での相補信号の反射がなくなり、反射信号がペア信号伝送路1上に浮遊しなくなるため、それぞれのドライバ回路から供給される相補信号がペア信号伝送路1上で交差しなくなる。このため、複数個のドライバ回路3の内の1個を時分割的にアクティブにするタイミングの自由度を、図12の信号伝送バスシステムよりも大きくできる。ただし、レシーバ回路35が感知する相補信号電圧は、図12のレシーバ回路31が感知する相補信号電圧の1/2になる。

【0165】また、上記実施の形態2において、図14のように、ペア分岐路を設けない構造としても良い。図14の分岐部38では、バストランシーバ回路32とドライバ回路3の間にペア分岐路が設けられおらず、バストランシーバ回路32のトランジスタ33a, 33bは、ドライバ回路3のドライブ端子に直接接続されている。

【0166】また、上記実施の形態2において、分岐ドライブユニットが1個の場合には、ペア分岐路およびバストランシバ回路を設けない構造とすることも可能である。分岐ドライブユニットが1個しか設けられない図15の信号伝送バスシステムでは、分岐部26は、分岐電極（構造については図9参照）のみからなる。

【0167】また、上記実施の形態2において、ペア電源／グランドライン6の適当な位置に、他の回路からの電磁放射の影響を低減するために、上記実施の形態1と同じようにパソコンを設けても良い。

【0168】実施の形態3

上記実施の形態1および2では、ドライバ回路が相補信号の供給を停止し、ドライバトランジスタがともにオフになっているときには、ペア信号伝送路は、フローティングになっているため、他の回路からの電磁ノイズに対して弱い。そこで、実施の形態3では、終端抵抗およびドライバ回路のノイズ消去抵抗をそれぞれ2個の抵抗に分割し、その中間にグランドを接続した構成とすることにより、ドライバ回路が相補信号の供給を停止しているときに、上記抵抗を介してペア信号伝送路をグランドに接続し、これにより相補信号の供給を停止しているときのペア信号伝送路1の電磁ノイズ耐性を高くする。

【0169】図16は本発明の実施の形態3の信号伝送バスシステムの回路図である。なお、図16において、上記実施の形態1の図1と同じものには、同じ符号を付してある。この実施の形態3の信号伝送バスシステムは、ペア信号伝送路1と、終端抵抗41と、ドライバ回路3と、1個または複数個（図では2個）の分岐部4と、1個または複数個（図では2個）のレシーバ回路5と、ペア電源／グランドライン6と、パソコン7と、回路基板8とを備えている。つまり、実施の形態3の信号伝送バスシステムは、上記実施の形態1の信号伝送バスシステムにおいて、終端抵抗2を終端抵抗41としたものである。

【0170】終端抵抗41は、上記実施の形態1の終端抵抗2（図1参照）を、第1の終端抵抗41aと第2の終端抵抗41bに分割したものである。従って、終端抵抗41の抵抗値（第1の終端抵抗41aと第2の終端抵抗41bの直列合成抵抗値）は、上記実施の形態1の終端抵抗2の抵抗値および信号伝送路1a、1bの特性インピーダンスに等しく、終端抵抗41はペア信号伝送1に整合している。また、第1の終端抵抗41aと第2の終端抵抗41bの中間ノードN1は、グランドラインまたはグランドパターンを介してグランドGNDに接続されている。この終端抵抗41は、1/2ずつ第1の終端抵抗41aおよび第2の終端抵抗41bに分割されていることが望ましい。つまり、第1の終端抵抗41aと第2の終端抵抗41bの抵抗値は等しいことが望ましい。また、この実施の形態3では、シリーズ抵抗17、18の抵抗値は、第1の終端抵抗41aおよび第2の終端抵

抗41bに等しいことが望ましい。また、相補信号を伝送路に安定供給するために、シリーズ抵抗17、18の抵抗値は、第1の終端抵抗41aおよび第2の終端抵抗41bに等しいことが望ましい。

【0171】相補信号が供給されているときには、信号伝送路1aの電位はグランドGNDよりも高くなり、信号伝送路1bの電位はグランドGNDよりも低くなる。相補信号の供給が停止されると、端子D1は電源Vddから切り離され、端子D2はグランドGNDから切り離される。これにより、信号伝送路1aは、第1の第1の終端抵抗41aを介してグランドGNDに接続された構造となる。また、信号伝送路1bは、第2の終端抵抗41bを介してグランドGNDに接続された構造となる。従って、相補信号の供給が停止されても、ペア信号伝送路1は、上記実施の形態1のようにフローティングにはならない。このため、実施の形態3では、ペア信号伝送路1は相補信号の供給が停止されても他の回路からの電磁ノイズを受けにくくなり、上記実施の形態1よりもペア信号伝送路1の電磁ノイズ耐性を高くすることができる。

【0172】終端抵抗41は、1/2ずつ分割され、中間ノードN1がグランドGNDに接続されている。この条件は、信号伝送路1aの電位と信号伝送路1bの電位とが、グランドGNDに対し、常に対称になる条件であり、信号伝送路1aおよび1bがグランドGNDに対し、電磁的に最良のバランスとなる条件である。ただし、相補信号については、プラス／マイナスが互いに逆になり、絶対値が等しくなり、他の回路から受けるノイズについては、プラス／マイナスおよび絶対値が等しくなる。さらに、上記の条件は、信号伝送路1aの電位と信号伝送路1bの電位の内、いずれか大きいほうの電位絶対値を最小にする条件であり、グランドGNDの揺らぎが最も発生しにくい条件である。

【0173】このように実施の形態3によれば、終端抵抗41を分割し、その中間ノードN1をグランドGNDに接続することにより、ドライバ回路42がオフ（相補信号の供給を停止している）ときに、ペア信号伝送路1がフローティングにならないため、ドライバ回路42がオフのときのペア信号伝送路1の電磁ノイズ耐性を高くすることができる。また、第1の終端抵抗41a、第2の終端抵抗41b、およびシリーズ抵抗17、18の抵抗値を等しくすることにより、グランドGNDの揺らぎが最も発生しにくい条件で信号伝送路1aおよび1bに相補信号を安定供給することができる。

【0174】なお、上記実施の形態3においては、終端抵抗を分割し、分割の中間ノードをグランドに接続したが、ノイズ消去抵抗を分割し、分割の中間ノードをグランドに接続した構造としても良い。

【0175】図17の信号伝送バスシステムは、上記実施の形態1の信号伝送バスシステム（図1参照）におい

て、ドライバ回路3をドライバ回路42としたものである。ドライバ回路42は、図1のドライバ回路3において、ノイズ消去抵抗16をノイズ消去抵抗43としたものである。ノイズ消去抵抗43は、上記実施の形態1のノイズ消去抵抗16を、第1のノイズ消去抵抗43aと第2のノイズ消去抵抗43bに分割したものである。従って、ノイズ消去抵抗43の抵抗値（第1のノイズ消去抵抗43aと第2のノイズ消去抵抗43bの直列合成抵抗値）は、上記実施の形態1のノイズ消去抵抗16の抵抗値に等しく、信号伝送路1a、1bの特性インピーダンスのおよそ10倍である。また、第1のノイズ消去抵抗43aと第2のノイズ消去抵抗43bの中間ノードN₁は、グランド端子E₂に接続されており、このグランド端子E₂によりグランドライン6aを介してグランドGNDに接続されている。

【0176】図17の信号伝送バスシステムでは、図16の信号伝送バスシステムと同様に、抵抗値第1のノイズ消去抵抗43a、第2のノイズ消去抵抗43、およびシリーズ抵抗17、18の抵抗値は等しいことが望ましい。図16の信号伝送バスシステムでは、終端抵抗41の抵抗値が小さいため、シリーズ抵抗17、18の抵抗値を大きくすることが困難であるが、図16の信号伝送バスシステムでは、ノイズ消去抵抗43の抵抗値は、比較的大きくすることができるので（ただし、信号伝送路1a、1bの特性インピーダンスのおよそ10倍であることが望ましい）、シリーズ抵抗17、18の抵抗値を大きくすることができ、ドライバ回路消費電力を低減することができる。

【0177】図16の信号伝送バスシステムの第1の終端抵抗41aと第2の終端抵抗41bの抵抗値は、直列合成抵抗値が信号伝送路1a、1bの特性インピーダンスに整合していれば、互いに異なる値でも良い。同様に、図17の信号伝送バスシステムの第1のノイズ消去抵抗43aと第2のノイズ消去抵抗43bの抵抗値も、互いに異なる値でも良い。しかし、グランドGNDに対する信号伝送路1aと1bの振幅（揺れ）を対称にするために（言い換えると、いずれか大きいほうの振幅を最小にするために）、終端抵抗41およびノイズ消去抵抗43は、上記のように1/2ずつ分割されることが望ましい。

【0178】また、上記実施の形態3においては、終端抵抗を第1の終端抵抗および第2の終端抵抗に分割し、中間ノードをグランドに接続する構造を、上記実施の形態1に適用した例を説明したが、上記の構造を上記実施の形態2に適用することも可能である。

【0179】実施の形態4

上記実施の形態1ないし3の信号伝送バスシステムは、一方向に信号を伝送するシステムであったのに対し、以下に説明する実施の形態4の信号伝送バスシステムは、双方向に信号を伝送することが可能なシステムである。

10 【0180】図18は本発明の実施の形態4の信号伝送バスシステムの回路図である。なお、図18において、図1、図4、または図12と同じものには、同じ符号を付してある。この実施の形態4の信号伝送バスシステムは、ペア信号伝送路1と、終端抵抗2と、第1のICチップ45と、1個または複数個（図では1個）の分岐部46と、1個または複数個（図では1個）の第2のICチップ47と、並列等長配置されたペア電源／グランドライン（図示省略）と、回路基板8とを備えており、ペア信号伝送路1および分岐部46を介し、第1のICチップ45と第2のICチップ47の間で信号を双方向に伝送することが可能なシステムである。第1のICチップ45は、例えばCPU等のコントローラチップである。また、第2のICチップは、例えばメモリチップあるいはメモリインターフェースチップである。上記のペア電源／グランドラインは、第1のICチップ45および第2のICチップ47を電源／グランドに接続している。

20 【0181】第1のICチップ45は、終端抵抗2とは反対側のペア信号伝送路1の端部に設けられており、ドライバ回路3と、レシーバ回路31と、入出力端子F₁、F₂とを有する。ドライバ回路3は、上記実施の形態1で説明したように、送信信号TSに従って、相補信号をペア信号伝送路1に供給する電流経路を形成するとともに、ペア信号伝送路1をバイパスする電流経路を遮断し、または相補信号を供給する電流経路を遮断するとともに、ペア信号伝送路1をバイパスする電流経路を形成することにより、電源／グランドから見て常に直流回路のように動作する。

30 【0182】この第1のICチップ45は、送受信制御信号DSがローレベルのときには、ドライバ回路3のドライブ端子を入出力端子F₁、F₂に接続するとともに、レシーバ回路31の入力端子を入出力端子F₁、F₂から切り離し、ドライバ回路3によりペア信号伝送路1に、相補信号を供給する否かにより「0」、「1」を表現する伝送信号を供給する。逆に、送受信制御信号DSがハイレベルのときには、レシーバ回路31の入力端子を入出力端子F₁、F₂に接続するとともに、ドライバ回路3のドライブ端子を入出力端子F₁、F₂から切り離し、第2のICチップからペア信号伝送路1上に供給された上記の伝送信号をレシーバ回路31により感知する。上記の送受信制御信号DSは、第1のICチップ外の他の回路から入力されるか（図18の場合）、あるいは第1のICチップ内で生成される。

40 【0183】分岐部46およびこれに対応する第2のICチップ47は、ペア信号伝送路1の途中に設けられた分岐ユニットを構成している。この分岐ユニットは、他の回路（例えばドライバチップ）から入力された送受信制御信号DSがハイレベルのときは、第2のICチップ47からペア信号伝送路1上に供給された上記の伝送信

号を分岐し、これを感知する。また、送受信制御信号D Sがローレベルのときは、ペア信号伝送路1の途中に上記の伝送信号を供給する。

【0184】分岐部46は、バストランシーバ回路48と、分岐路33aおよび33bからなるペア分岐路33とを有する。

【0185】バストランシーバ回路48は、ペア信号伝送路1の途中の分岐端と、ペア分岐路33の一方の端部の間に設けられており、分岐抵抗20a, 20bと、n MOSトランジスタ32a, 32bとを有する。分岐抵抗20aおよびトランジスタ32aは、信号伝送路1aの途中の分岐端と分岐路33aの一方の端部の間に並列に挿入されており、分岐抵抗20aおよびトランジスタ32bは、信号伝送路1bの途中の分岐端と分岐路33bの一方の端部の間に並列に挿入されている。トランジスタ32a, 32bのゲート電極には、送受信制御信号D Sが入力される。

【0186】このバストランシーバ回路48は、送受信制御信号D Sがローレベルのときは、トランジスタ32a, 32bをオフさせ、第2のICチップ47およびペア分岐路33をペア信号伝送路1の途中に高抵抗の分岐抵抗20a, 20bを介して接続する。また、送受信制御信号D Sがハイレベルのときは、トランジスタ32a, 32bをオンさせ、分岐抵抗20a, 20bをバイパスする電流経路を形成し、この電流経路を介して第2のICチップ47およびペア分岐路33をペア信号伝送路1の途中に接続する。

【0187】第2のICチップ47は、分岐部46を介してペア信号伝送路1の途中に接続されており、ドライバ回路3と、レシーバ回路5と、入出力端子G₁, G₂とを有する。レシーバ回路5は、上記実施の形態1で説明したように、入力端子IN₁, IN₂間に終端トランジスタ23を備えており(図4参照)、入力容量にチャージされた電荷を速やかに放電する。

【0188】この第2のICチップ47は、送受信制御信号D Sがローレベルのときは、レシーバ回路5の入力端子を入出力端子G₁, G₂に接続するとともに、ドライバ回路3のドライバ端子を入出力端子G₁, G₂から切り離し、第1のICチップ45からペア信号伝送路1上に供給され、分岐部46により分岐された上記の伝送信号をレシーバ回路5により感知する。逆に、送受信制御信号D Sがハイレベルのときは、ドライバ回路3のドライバ端子を入出力端子G₁, G₂に接続するとともに、レシーバ回路3の入力端子を入出力端子G₁, G₂から切り離し、ドライバ回路3によりペア信号伝送路1に上記の伝送信号を供給する。

【0189】この実施の形態4の信号伝送バスシステムにおいて、第1のICチップ45から第2のICチップ47に信号を伝送するときの動作(送受信制御信号D Sがローレベルのときの伝送動作)は、上記実施の形態1

の信号伝送バスシステムと同じである。また、第2のICチップ47から第1のICチップ45に信号を伝送するときの動作(送受信制御信号D Sがハイレベルのときの伝送動作)は、上記実施の形態2の信号伝送バスシステムと同じである。

【0190】このように実施の形態4によれば、送信入力信号TSに従って相補信号を供給しまたは供給を停止し、電源/グランドから見て常に直流回路のように動作するドライバ回路3を、ペア信号伝送路1の端部の第1のICチップ45、およびペア信号伝送路1の途中の第2のICチップ47に設け、ペア信号伝送路1および分岐部46を介し、第1のICチップ45と第2のICチップ47の間で双方方向に信号を伝送するバスシステムを構成したことにより、上記実施の形態1と同じように、パソコンに頼らずに、送信入力信号TSが変化するときのコモンモードノイズおよび少量のディファレンシャルモードノイズの発生を抑え、コモンモードノイズによる電源/グランドの揺れを抑えることができるため、パソコンに頼らずにEMIの発生のない高速伝送を可能にすることができる。また、パソコンの設置位置および寄生インダクタンス等の自由度を大きくすることができる。

【0191】また、入力端子IN₁, IN₂間に終端トランジスタ23を備えたレシーバ回路5を、ペア信号伝送路1の途中の第2のICチップ47に設けたことにより、上記実施の形態1と同じように、分岐抵抗20a, 20bを介して分岐された相補信号によりレシーバ回路5の入力容量にチャージされた電荷を終端トランジスタ23を介して速やかに放電することができるため、相補信号が入力されているか否かを速やかに感知することができ、これにより周波数の高い伝送信号を感知することができる。

【0192】なお、上記実施の形態4において、第1のICチップ45がレシーバになるとき、ペア信号伝送路1の第1のICチップ45側の端部が整合端になるようにしても良い。図19の第1のICチップ49は、図18の第1のICチップ45において、終端抵抗50とn MOSトランジスタ51の直列回路を入出力端子F₁, F₂間(信号伝送路1a, 1b間)に設けたものである。トランジスタ51のゲート電極には送受信制御信号D Sが入力される。トランジスタ51は、送受信制御信号D Sがローレベルのとき(第1のICチップ45がドライバになるとき)、オフして入出力端子F₁, F₂間を開放する。また、トランジスタ51は、送受信制御信号D Sがハイレベルのとき(第1のICチップ45がレシーバになるとき)、オンして入出力端子F₁, F₂間を終端抵抗50で終端する。これにより、ペア信号伝送路1の第1のICチップ49側の端部は反射を生じない整合端になる。

【0193】また、上記実施の形態4の信号伝送バスシステムにおいて、ペア信号伝送路1、終端抵抗2、第1

のICチップ45の回路、分岐部46、および第2のICチップ47の回路からなるユニットを、回路基板8上に複数個設けることも可能である。図20の信号伝送バスシステムは、回路基板8上に、ペア信号伝送路1A, 1B, 1Cと、終端抵抗2A, 2B, 2Cと、第1のICチップ45の回路45A, 45B, 45Cを含むコントローラチップ53と、それぞれ2個の分岐部46A, 46B, 46Cと、第2のICチップ47の回路47A, 47B, 47Cを含む2個のメモリインターフェースチップ54とを設けたものである。添え字「A」、「B」、「C」の構成要素は、それぞれ別個の上記ユニットを構成している。

【0194】図20の信号伝送バスシステムでは、2個のメモリインターフェースチップ54の内の1個が時分割的にアクティブになり、アクティブなメモリインターフェースチップ54とコントローラチップ53の間で、ペア信号伝送路1A, 1B, 1Cおよび分岐部46A, 46B, 46Cを介し、伝送信号が双方向に伝送される。

【0195】

【発明の効果】以上説明したように本発明のドライバ回路、ならびに請求項9、12、および13に記載の信号伝送システムによれば、入力信号が遷移するときに、伝送路に相補信号を供給する電流経路を形成するとともに伝送路をバイパスする電流経路を遮断する、または伝送路に相補信号を供給する電流経路を遮断するとともに伝送路をバイパスする電流経路を形成することにより、伝送路に相補信号を供給する電流経路のインピーダンス変化を補うように、伝送路をバイパスする電流経路のインピーダンスが変化し、入力信号が変化するときの両電源から見たドライバ回路のインピーダンスが変化しないようにすることができ、ドライバ回路を直流回路のように動作させることができるために、パソコンに頼らずに、入力信号が変化するときのコモンモードノイズおよび少量のディファレンシャルモードノイズの発生を抑え、コモンモードノイズによる電源の揺れを抑えることができる。これにより、電源の揺れに誘発される寄生キャパシタンスによる共振を低減することができるため、パソコンに頼らずにEMIの発生のない高速伝送を可能にすることができるという効果がある。また、従来のようにパソコンをドライバ回路の側近に設ける必要がなく、埋め込み型のパソコンを用いる必要がないため、パソコンの設置位置および寄生インダクタンス等の自由度を大きくすることができるという効果がある。

【0196】また、本発明の請求項3記載のドライバ回路によれば、第3のトランジスタのオン抵抗値を、第1のトランジスタのオン抵抗値と、第2のトランジスタのオン抵抗値と、第1の伝送路の直流抵抗値と、第2の伝送路の直流抵抗値と、上記終端抵抗の抵抗値との合計に等しくしたことにより、両電源から見た終端がペア伝送

路の一方の端部にあるか、ドライバ回路内にあるかの違いがあるのみで、入力信号が第1のレベルおよび第2のレベルである期間ならびに入力信号の変化期間において常に、両電源から見たドライバ回路のインピーダンスを不变にすことができ、ドライバ回路を直流回路のように動作させることができるという効果がある。

【0197】また、本発明の請求項4記載のドライバ回路によれば、ドライバ回路の第1の伝送路端と第2の伝送路端の間にノイズ消去抵抗を設けたことにより、ペア伝送路からの僅かな反射ノイズを吸収すことができ、ペア伝送路でのノイズの多重反射を低減するとともに、反射ノイズがドライバ回路に入力されないようにすることができるという効果がある。

【0198】また、本発明の請求項6記載のドライバ回路および請求項19記載の信号伝送バスシステムによれば、ノイズ消去抵抗または終端抵抗を分割し、その中間を第2の電源に接続することにより、ドライバ回路がオフのときに（相補信号の供給を停止しているときに）、伝送路がフローティングにならないため、ドライバ回路がオフのときの伝送路の電磁ノイズ耐性を高くすることができるという効果がある。また、第1のシリーズ抵抗、第2のシリーズ抵抗、第1のノイズ消去抵抗、および第2のノイズ抵抗の抵抗値を等しくする、あるいは、第1のシリーズ抵抗、第2のシリーズ抵抗、第1の終端抵抗、および第2の終端抵抗の抵抗値を等しくすることにより、第2の電源の揺らぎが最も発生しにくい条件でペア伝送路に相補信号を安定供給することができるという効果がある。

【0199】また、本発明のレシーバ回路、ならびに請求項10および14に記載の信号伝送システムによれば、レシーバ回路の入力端子間に終端トランジスタを設けたことにより、分岐抵抗を介して分岐された相補信号によりレシーバ回路の入力容量がチャージされたあと、相補信号の供給が停止されたときに、上記入力容量に充電された電荷を終端トランジスタを介して速やかに放電することができるため、相補信号が入力されているか否かを速やかに感知することができる。従って、周波数の高い伝送信号を感知することができるという効果がある。

【0200】また、本発明の請求項16記載の信号伝送バスシステムによれば、ペア電源ラインを並列等長配置構造としたことにより、第1および第2の電源ラインの寄生インダクタンスを相殺することができ、リアクタンスのない電源ラインを構成することができるため、電源ラインの電磁的な乱れを防止することができるという効果がある。

【0201】また、本発明の請求項17記載の信号伝送バスシステムによれば、他の回路で発生した電磁ノイズが電源ラインに与える影響を低減することができるという効果がある。

【0202】また、本発明の請求項18記載の信号伝送バスシステムによれば、ドライバ回路の消費電力を低減することができるという効果がある。

【0203】また、本発明の請求項20記載の信号伝送バスシステムによれば、伝送路に整合する終端抵抗をレシーバ回路の入力端子間に設けることにより、レシーバ回路端での相補信号の反射がなくなり、反射信号が伝送路上に浮遊しなくなるため、それぞれのドライバ回路から供給される相補信号が伝送路上で交差しなくなるという効果がある。

【0204】また、本発明の請求項23、24、27、および28に記載の信号伝送バスシステムによれば、伝送路の途中の分歧端に分歧抵抗を設けたことにより、相補信号のペア伝送路上でのエネルギーを乱さないように伝送路の途中から相補信号を分歧することができるという効果がある。

【0205】また、本発明の請求項30記載の信号伝送バスシステムによれば、分歧路の特性インピーダンスを伝送路の特性インピーダンスの1/2にすることにより、分歧路を伝送路に整合させ、分歧路から伝送路に供給する相補信号の分歧端での反射をなくすことができるという効果がある。

【0206】また、本発明の請求項31記載の信号伝送バスシステムによれば、レシーバ回路を伝送路の途中に直接接続しても、相補信号の伝送路上でのエネルギーを乱さないように相補信号を分歧することができるという効果がある。

【0207】また、本発明の請求項35記載の信号伝送バスシステムによれば、ペア伝送路およびペア分歧路を、絶縁層を挟んで互いに対向するように並列等長配置するとともに、ペア伝送路とペア分歧路の間の絶縁層の厚さを、第1の伝送路と第2の伝送路の間の絶縁層の厚さ、および第1の分歧路と第2の分歧路の間の絶縁層の厚さの数倍にした構造とすることにより、ペア伝送路とペア分歧路が干渉し合うことなく、第1および第2の伝送路の寄生インダクタンスを相殺することができるとともに、第1および第2の分歧路の寄生インダクタンスを相殺することができ、リアクタンスのないペア伝送路およびペア分歧路を構成することができるため、ペア伝送路およびペア分歧路の電磁的な乱れを防止することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1の信号伝送バスシステムの回路図である。

【図2】並列等長配置されたペア伝送路の断面構造図である。

【図3】図2(b)の並列等長構造の伝送路での磁界の広がりを説明する断面図である。

【図4】本発明の実施の形態1の信号伝送バスシステムにおけるレシーバユニットの回路図である。

【図5】本発明の実施の形態1の信号伝送バスシステムの回路構造図である。

【図6】本発明の実施の形態1の信号伝送バスシステムにおけるレシーバユニットの回路構造図である。

【図7】本発明の実施の形態1のドライバ回路と従来のカレントスイッチ型ドライバ回路の信号伝送時の電源/グランドから見たインピーダンス変化を描いた図である。

【図8】本発明の実施の形態1の他の信号伝送バスシステムの回路構造図である。

【図9】図8の信号伝送バスシステムにおける分歧部の構造図である。

【図10】本発明の実施の形態1のさらに他の信号伝送バスシステムの回路図である。

【図11】図10の信号伝送バスシステムにおける並列等長配置されたペア伝送路(ペア信号伝送路およびペア分歧路)の交差構造の断面図である。

【図12】本発明の実施の形態2の信号伝送バスシステムの回路図である。

【図13】本発明の実施の形態2の他の信号伝送バスシステムの回路図である。

【図14】本発明の実施の形態2の他の信号伝送バスシステムの回路図である。

【図15】本発明の実施の形態2の他の信号伝送バスシステムの回路図である。

【図16】本発明の実施の形態3の信号伝送バスシステムの回路図である。

【図17】本発明の実施の形態3の他の信号伝送バスシステムの回路図である。

【図18】本発明の実施の形態4の信号伝送バスシステムの回路図である。

【図19】本発明の実施の形態4の他の信号伝送バスシステムの回路図である。

【図20】本発明の実施の形態4の他の信号伝送バスシステムの回路図である。

【図21】CMOS型のドライバ回路を備えた従来の信号伝送バスシステムの回路図である。

【図22】カレントスイッチ型のドライバ回路を備えた従来の信号伝送バスシステムの回路図である。

【図23】カレントスイッチ型ドライバ回路を備えた従来の信号伝送バスシステムにおけるコモンモードノイズの評価システムの回路図である。

【図24】図23の評価システムにおいて観測された電圧波形図である。

【図25】SPICEシミュレータを適用するための図21の信号伝送バスシステムの等価回路図である。

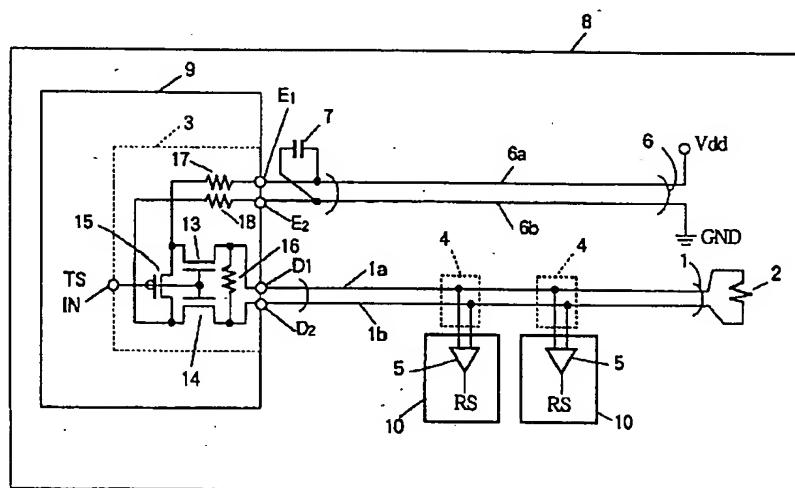
【図26】SPICEシミュレータによる図25の等価回路各部の波形図である。

【符号の説明】

信号伝送路、2, 2A, 2B, 2C 終端抵抗、3, 3A, 3B ドライバ回路、4, 4A, 4B 分岐部、5, 5A, 5B レシーバ回路、6 ペア電源／グランドライン、6a 電源ライン、6b グランドライン、7 パスコン、8 回路基板、8a, 8c, 8d, 8e 絶縁層、9 ドライバチップ、10 レシーバチップ、11, 12 ペア伝送路、11a, 11b, 12a, 12b 伝送路、13, 14 ドライバトランジスタ、15 ショートトランジスタ、16 ノイズ消去抵抗、17, 18 シリーズ抵抗、20 ペア分岐抵抗、20a, 20b 分岐抵抗、21, 21A, 21B ペア分岐路、21a, 21b 分岐路、22 差動アンプ、23 終端トランジスタ、25 レシーバ回路、26 分岐部、27 ドライバチップ、28 レシーバチップ、30 分岐部、31 レシーバ回路、32*

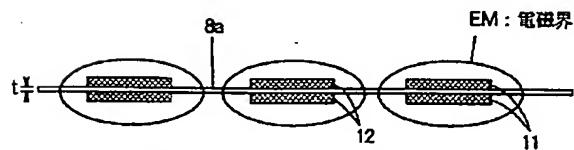
* バストランシーバ回路、32a, 32b トランジスタ、33 ペア分岐路、33a, 33b 分岐路、35 レシーバ回路、36 差動アンプ、37 終端抵抗、38 分岐部、41 終端抵抗、41a 第1の終端抵抗、41b 第2の終端抵抗、42 ドライバ回路、43 ノイズ消去抵抗、43a 第1のノイズ消去抵抗、43b 第2のノイズ消去抵抗、45 第1のICチップ(コントローラチップ)、46, 46A, 46B, 46C 分岐部、47 第2のICチップ(メモリチップ、メモリインターフェースチップ)、48 バストランシーバ回路、49 第1のICチップ(コントローラチップ)、50 終端抵抗、51 トランジスタ、53 コントローラチップ、54 メモリインターフェースチップ。

【図1】



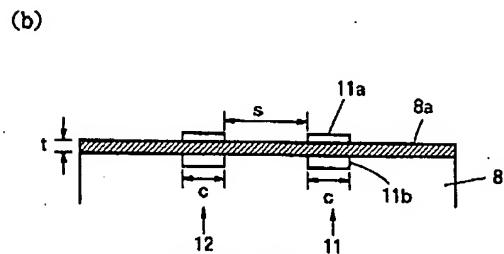
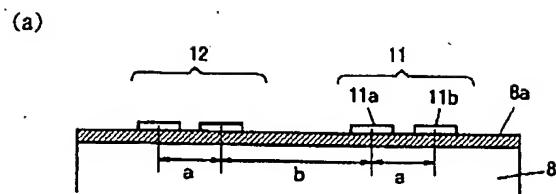
実施の形態1の信号伝送バスシステム

【図3】



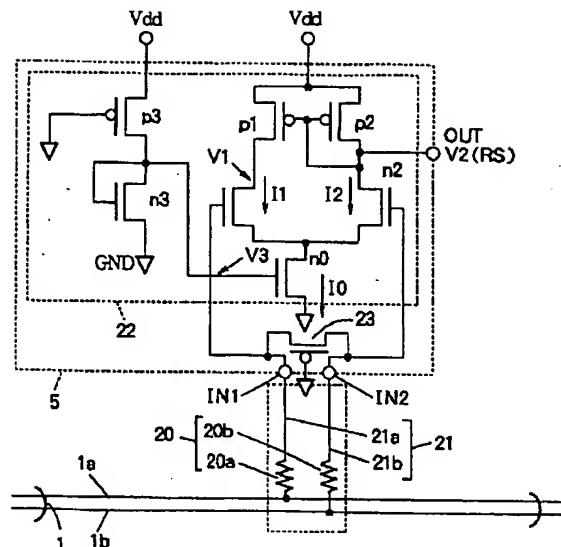
並列等長配置構造のペア伝送路での電磁界の広がり

【図2】



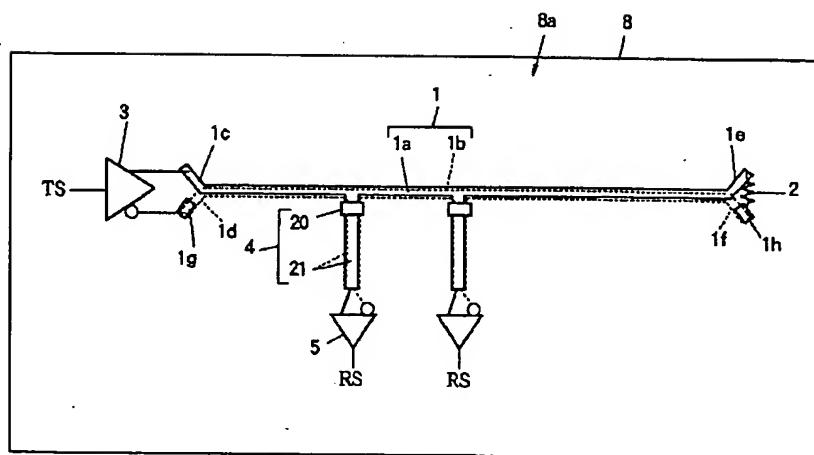
並列等長配置構造のペア伝送路

【図4】



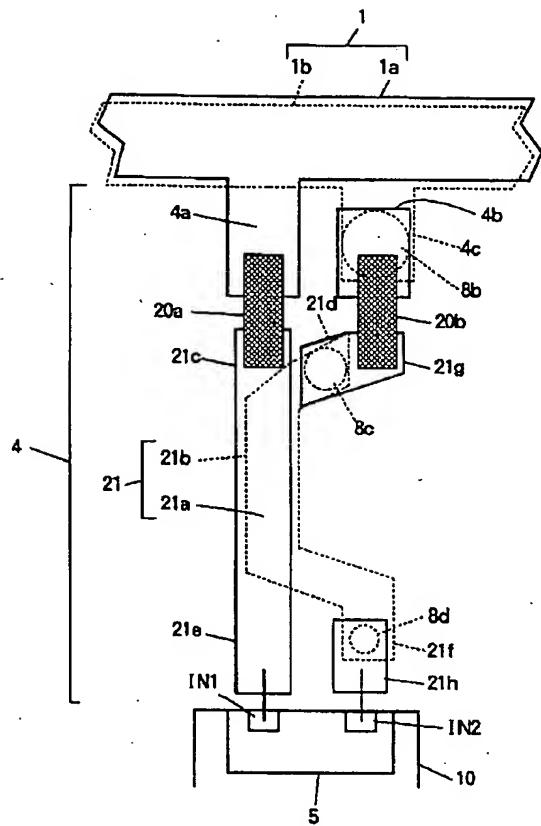
実施の形態1の分岐レシーバユニット

【図5】



実施の形態1の信号伝送バスシステムの構造

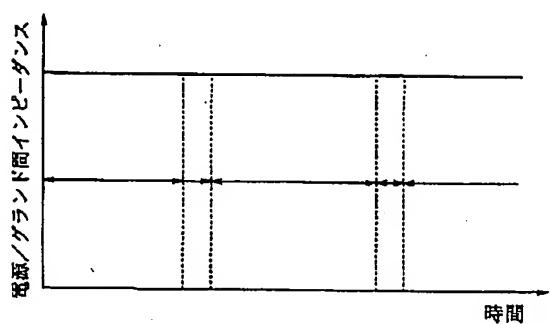
【図6】



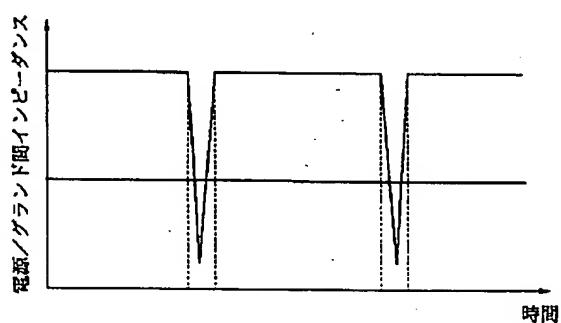
実施の形態1の分岐レシーバユニットの構造

【図7】

(a)本発明のドライバ回路

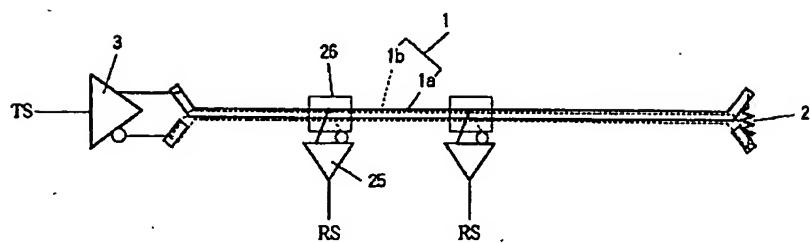


(b)従来のドライバ回路



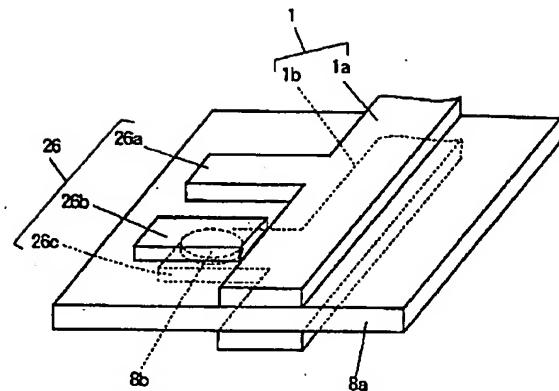
ドライバ回路の電源/グランド間インピーダンス変化

【図8】



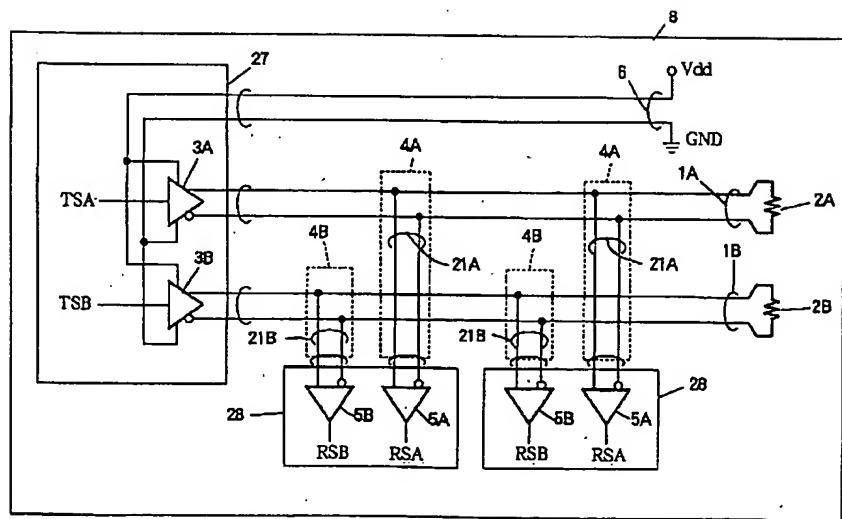
実施の形態1の他の信号伝送バスシステムの構造

【図9】



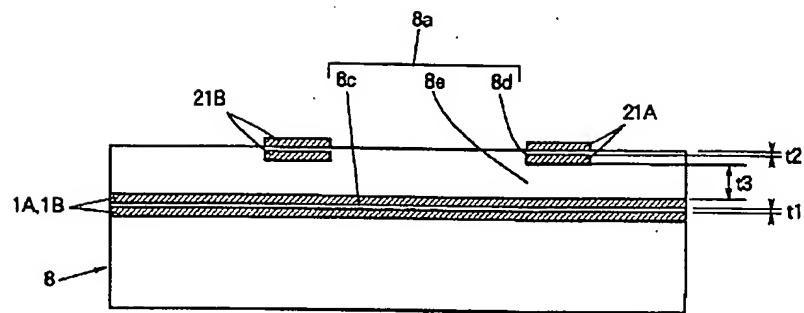
実施の形態1の他の分岐部構造

【図10】



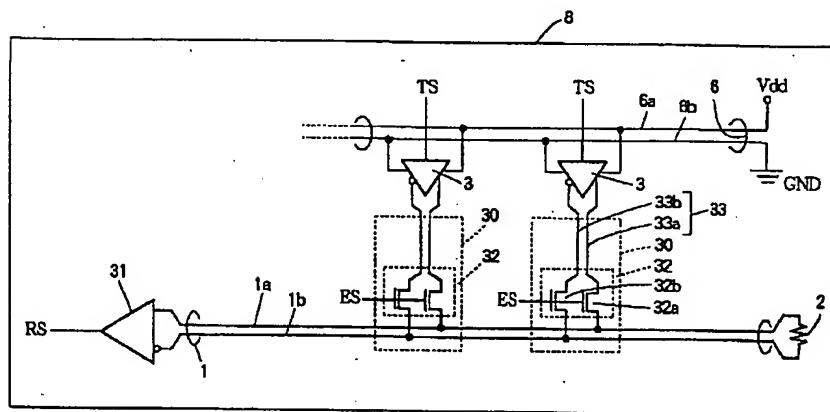
実施の形態1の他の信号伝送バスシステム

【図11】



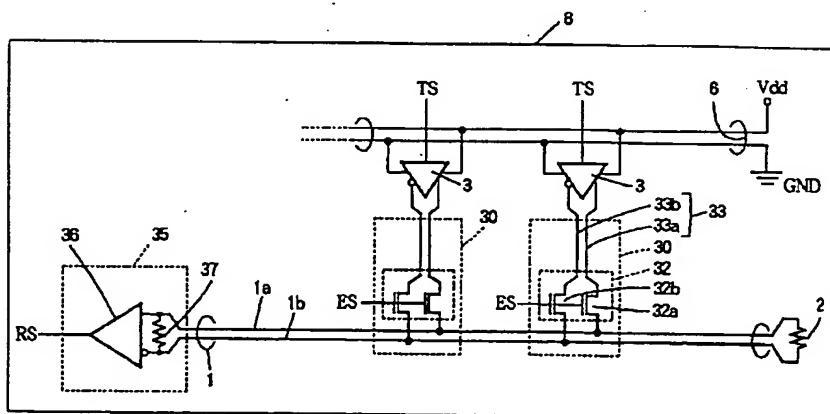
並列等長配置されたペア伝送路の交差構造

【図12】



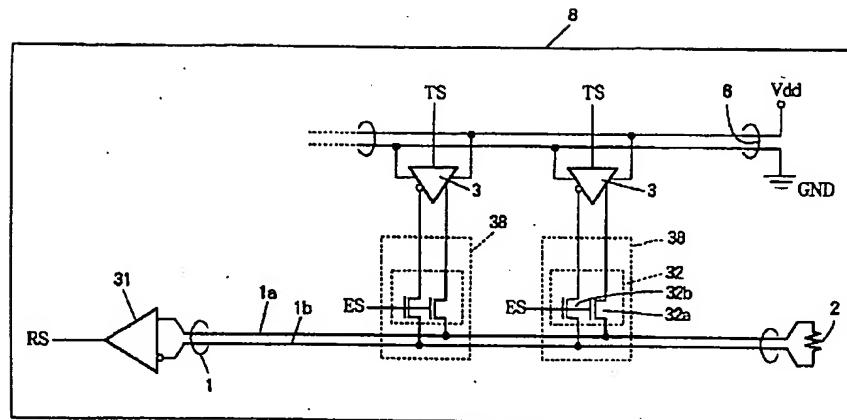
実施の形態2の信号伝送バスシステム

【図13】



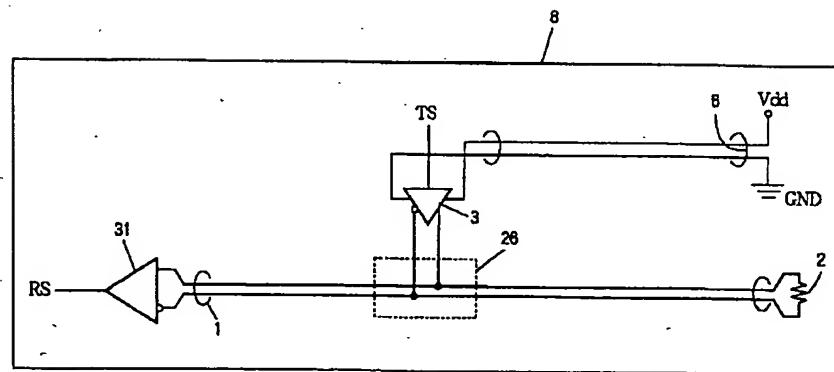
実施の形態2の他の信号伝送バスシステム

【図14】



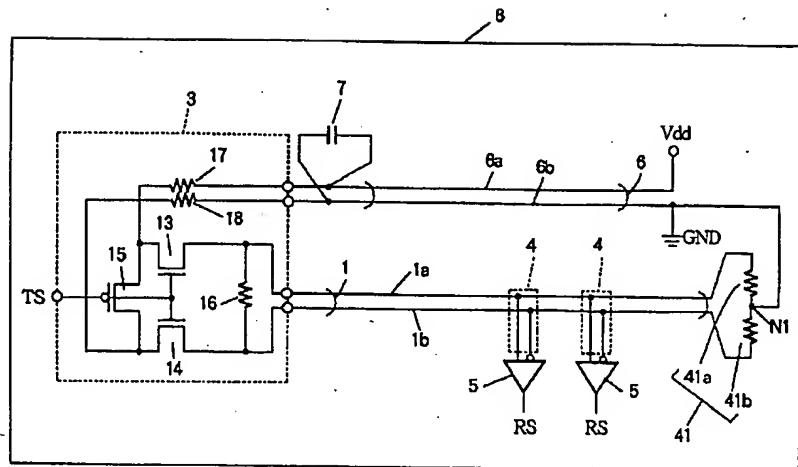
実施の形態2の他の信号伝送バスシステム

【図15】



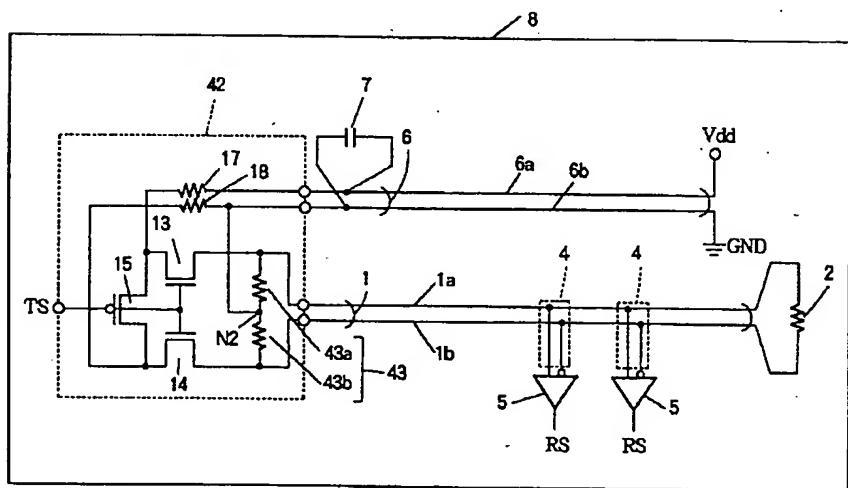
実施の形態2の他の信号伝送バスシステム

【図16】



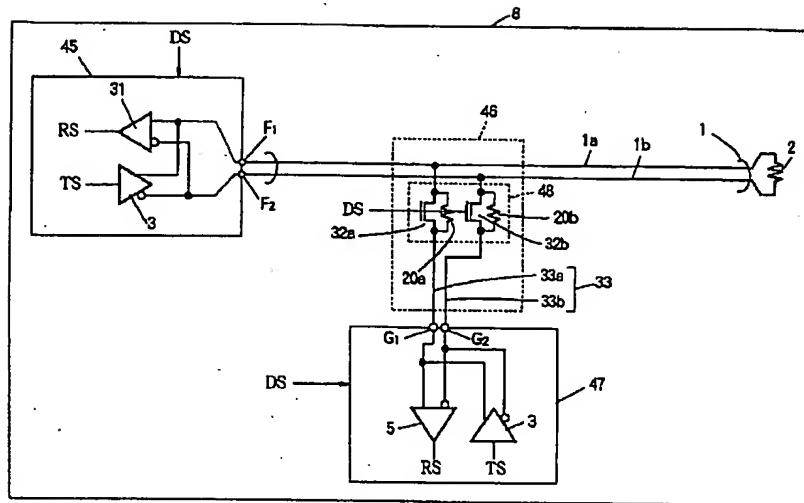
実施の形態3の信号伝送バスシステム

【図17】



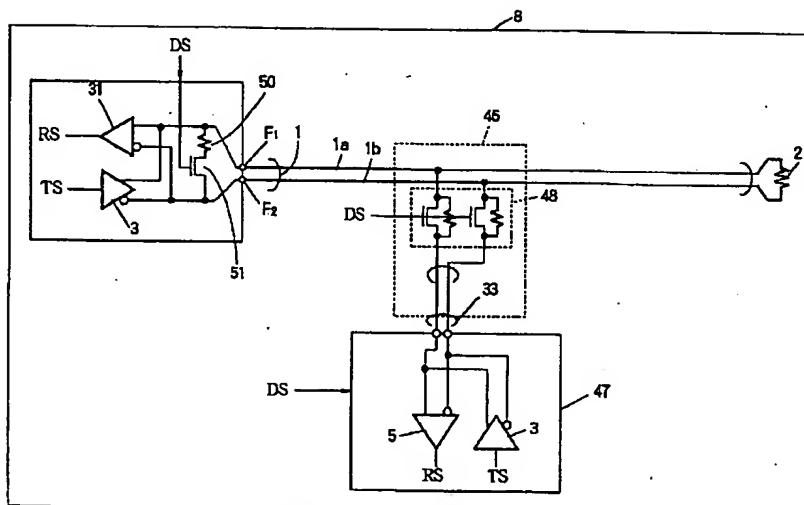
実施の形態3の他の信号伝送バスシステム

【図18】



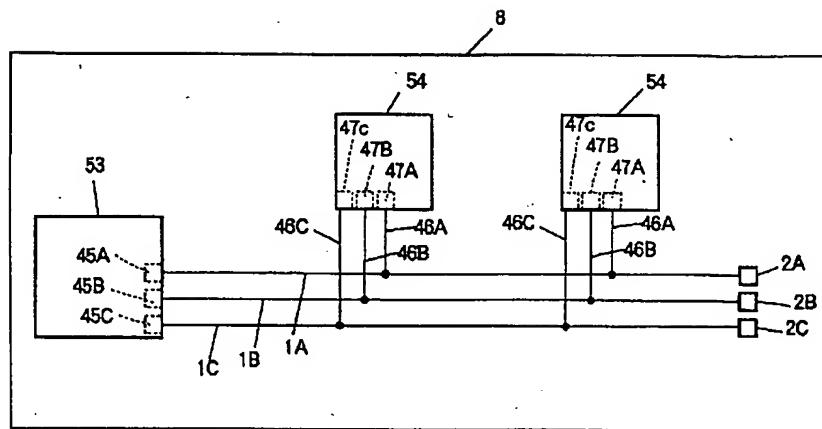
実施の形態4の信号伝送バスシステム

【図19】



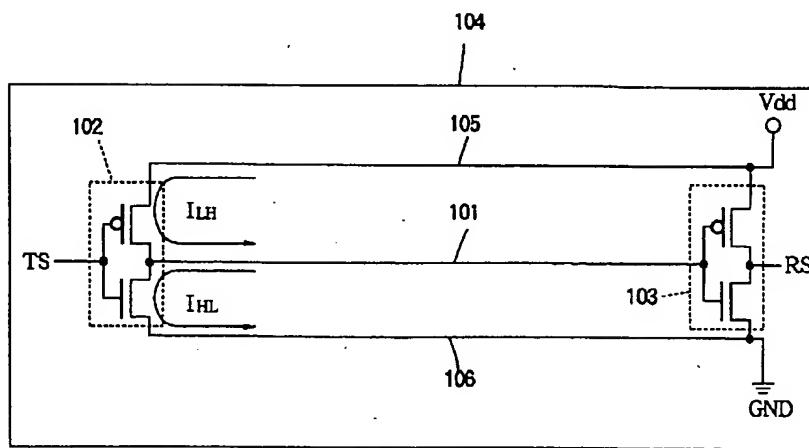
実施の形態4の他の信号伝送バスシステム

【図20】



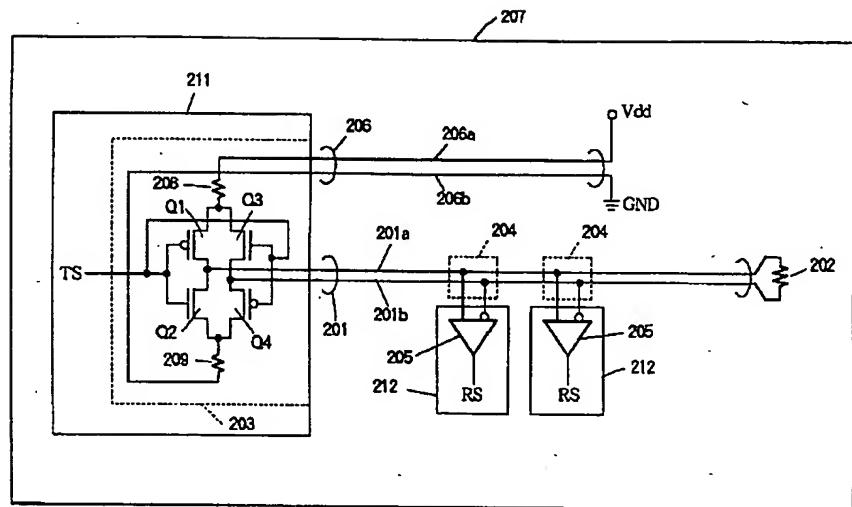
実施の形態4の他の信号伝送バスシステム

【図21】



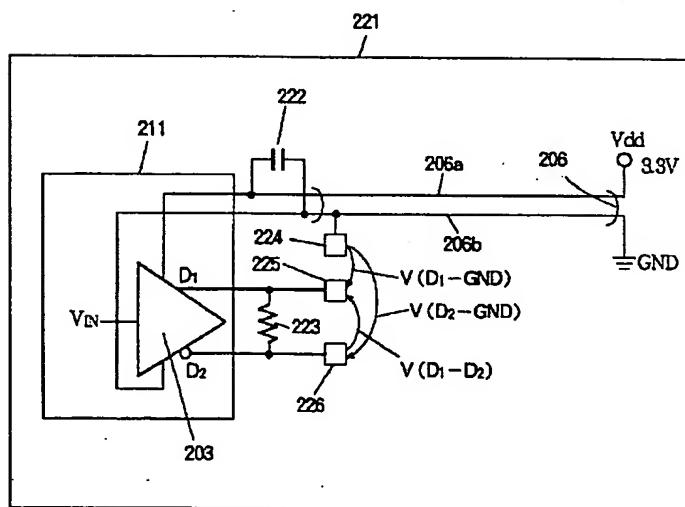
CMOS型ドライバ回路を備えた従来の信号伝送バスシステム

【図22】



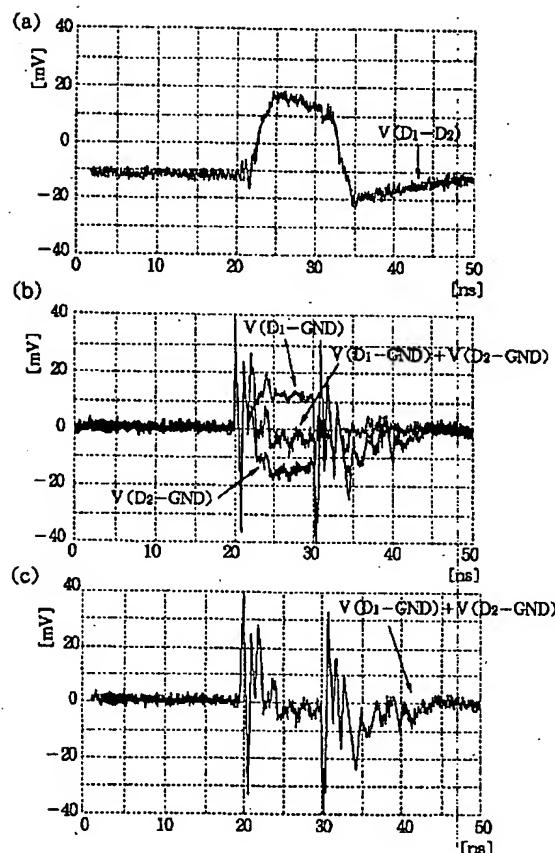
カレントスイッチ型のドライバ回路に備えた従来の信号伝送バスシステム

【図23】

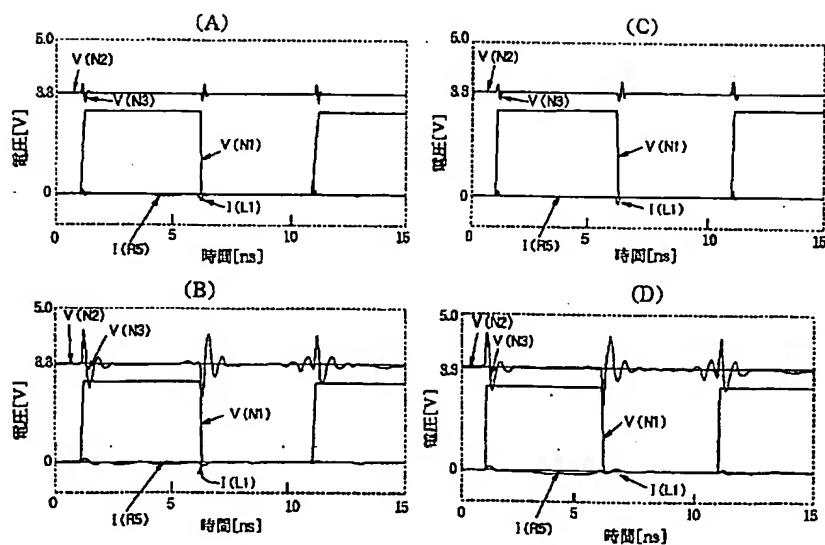


コモンモードノイズの評価システム

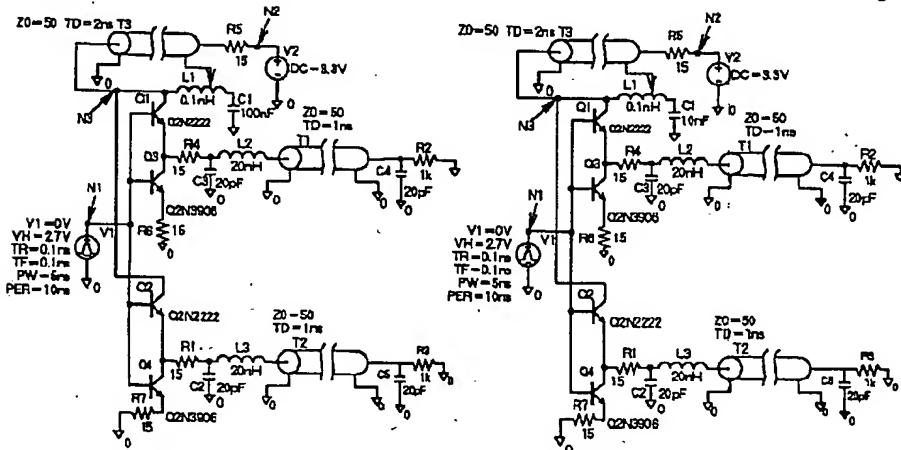
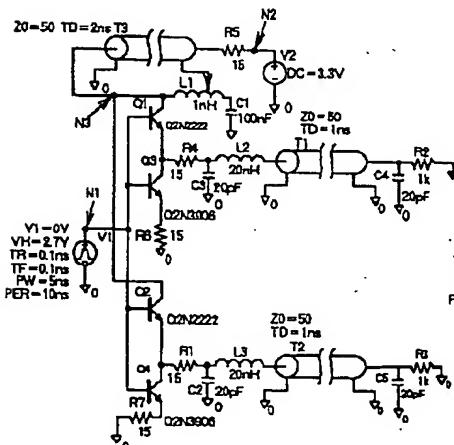
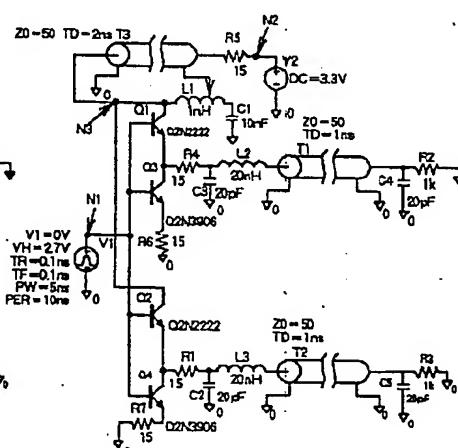
【図24】



【図26】



【図25】

(A) $C_1 = 100 \text{ [nF]}$, $L_1 = 0.1 \text{ [nH]}$ (C) $C_1 = 10 \text{ [nF]}$, $L_1 = 0.1 \text{ [nH]}$ (B) $C_1 = 100 \text{ [nF]}$, $L_1 = 1 \text{ [nH]}$ (D) $C_1 = 10 \text{ [nF]}$, $L_1 = 1 \text{ [nH]}$ 

フロントページの続き

(51)出願人

識別記号

F I

マーク (参考)

H 0 3 K 19/00

1 0 1 Q

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(71)出願人 000116024
ローム株式会社
京都府京都市右京区西院溝崎町21番地

(72)発明者 大塚 寛治
東京都東大和市湖畔2-1074-38

(72)発明者 宇佐美 保
東京都国分寺市西町2-38-4

F ターム(参考) 5J056 AA01 AA05 AA40 BB25 BB26
CC01 CC04 DD13 DD29 FF06
FF09 KK01
5K029 AA02 DD04 DD13 GG07 HH01
JJ08